

Capitolo 6

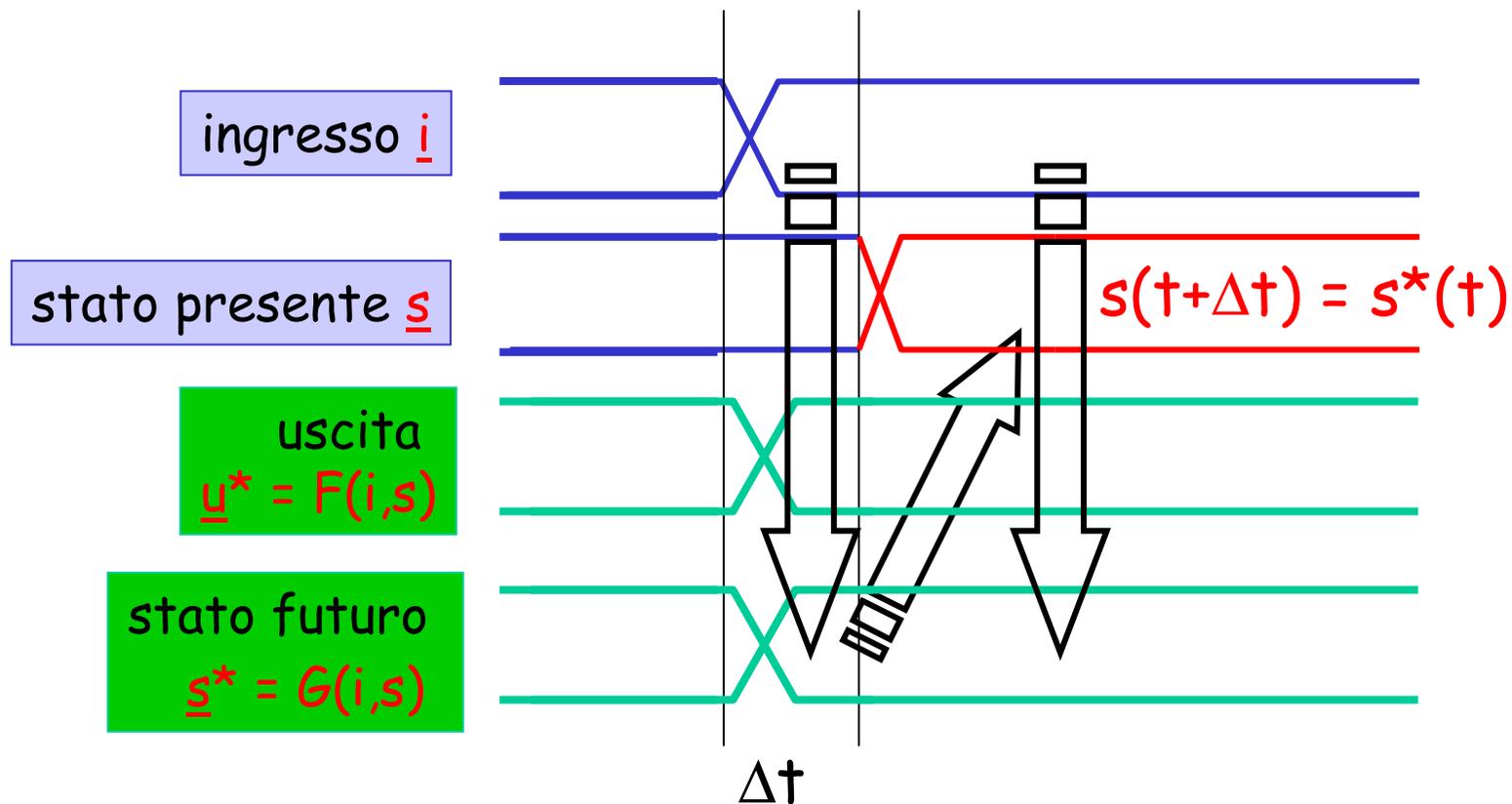
Reti asincrone

Elaborazione asincrona
Procedimenti di sintesi e analisi
Memorie binarie

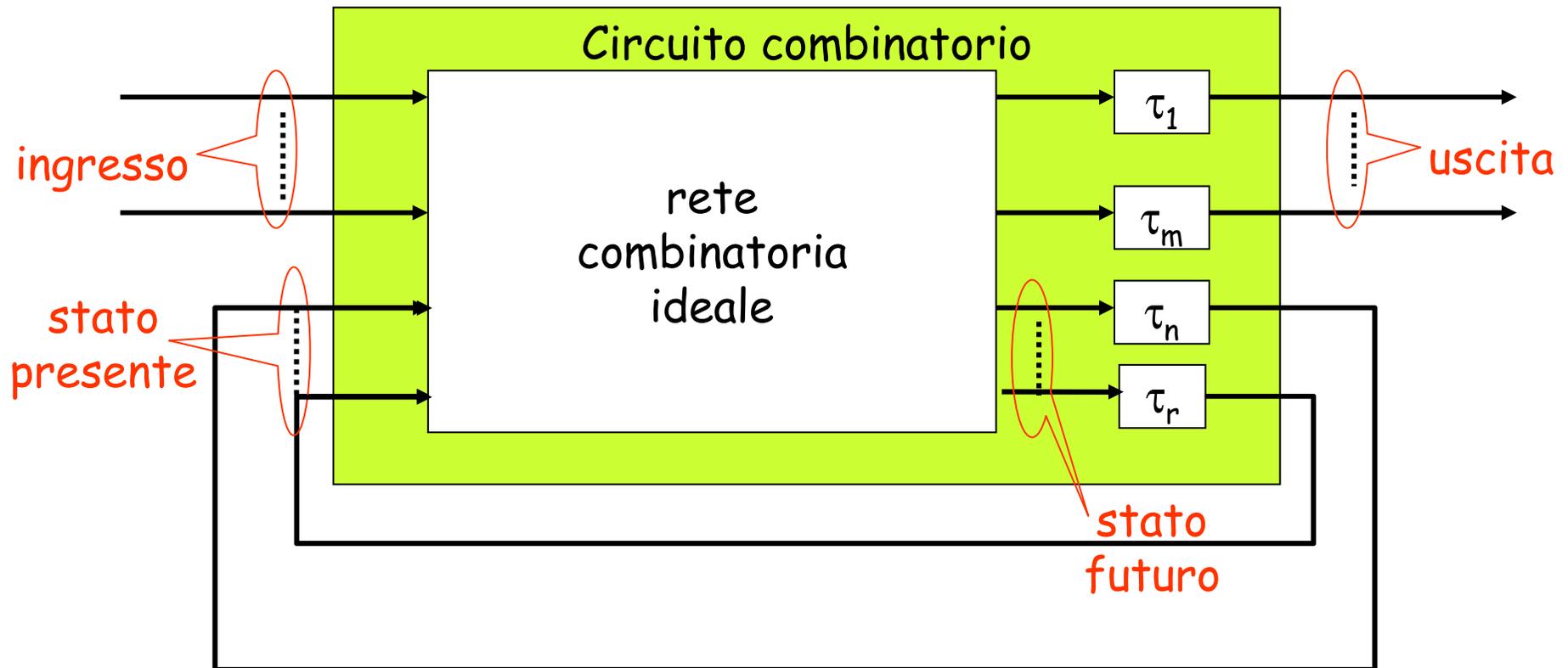
Reti sequenziali asincrone (comportamento)

Elaborazione asincrona - Ogni nuovo ingresso determina:

- una condizione di stabilità dello stato interno
- non più di una modifica del simbolo d'uscita



Reti sequenziali asincrone (struttura)



- Il ritardo intrinseco del circuito agisce da "memoria temporanea": lo stato presente non cambia durante il calcolo dello stato futuro.
- Il piccolo valore dei ritardi consente di aggiornare lo stato ad ingresso costante
- Con k retroazioni si dispone di 2^k riassunti di storia passata.

Il procedimento di sintesi

Il procedimento di sintesi di una rete sequenziale asincrona è formato da 5 passi e consente di dedurre lo schema logico dal comportamento:

- 1: individuazione del grafo degli stati,
- 2: definizione della tabella di flusso,
- 3: codifica degli stati e definizione della tabella delle transizioni,
- 4: sintesi della parte combinatoria,
- 5: schema logico.

Il procedimento di analisi

Il procedimento di analisi di una rete sequenziale asincrona è formato da 5 passi e consente di dedurre il comportamento dallo schema logico:

- 1: individuazione delle variabili di stato,
- 2: analisi della parte combinatoria,
- 3: individuazione della tabella delle transizioni,
- 4: studio delle condizioni di stabilità,
- 5: individuazione della tabella di flusso e del grafo degli stati.

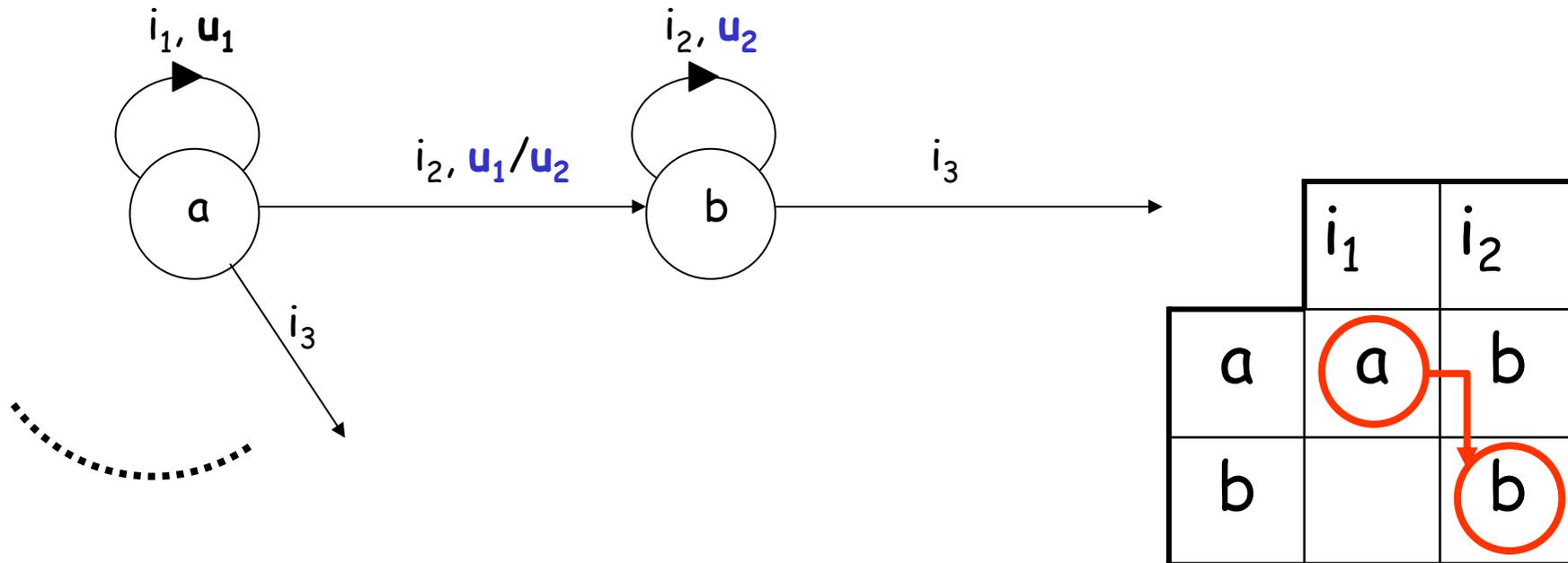
RSA: regole di corretto impiego

Obiettivo: ottenere un funzionamento corretto per qualsiasi valore dei ritardi presenti sugli anelli di retroazione.

- Durata degli ingressi
- Codifica degli ingressi
- Codifica degli stati
- Alee statiche
- ...

1. Durata degli ingressi

L'ingresso può essere modificato solo dopo che la rete ha raggiunto la nuova stabilità

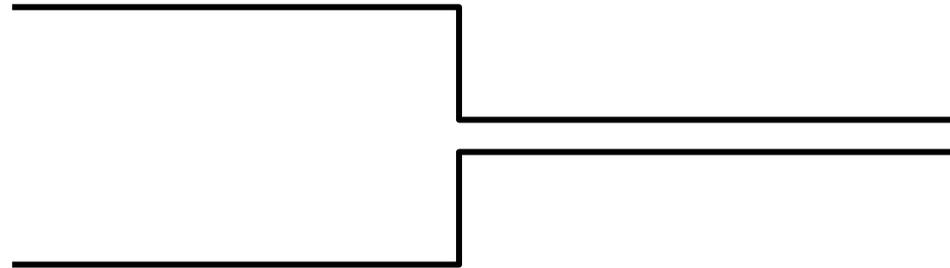


Il passaggio da una ad un'altra condizione di stabilità è detto funzionamento in modo fondamentale

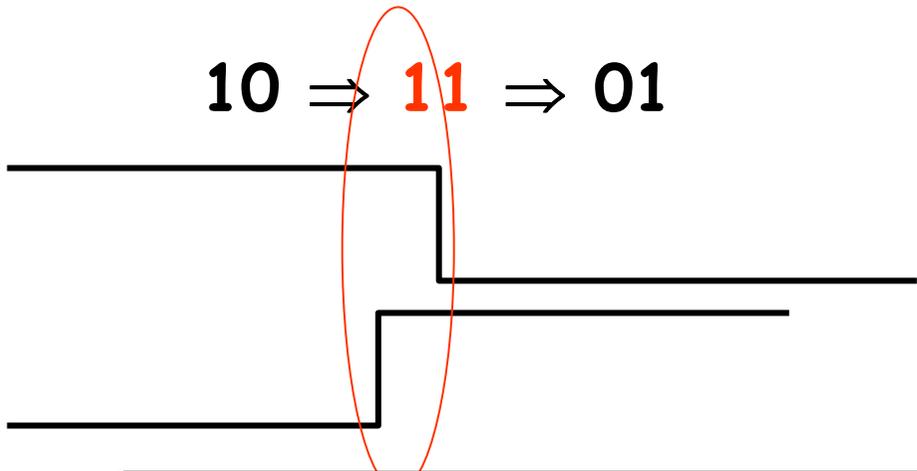
2. Codifica degli ingressi

I segnali d'ingresso devono cambiare di valore uno solo alla volta

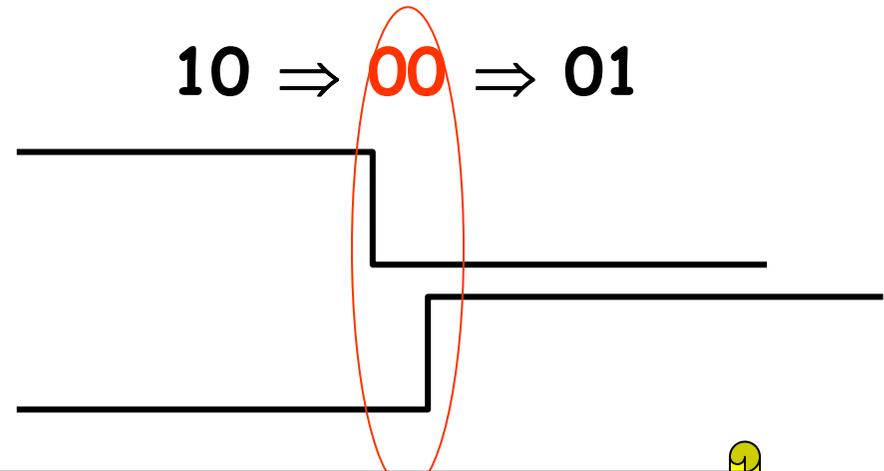
*Esempio di situazione
d'ingresso pericolosa:*
 $10 \Rightarrow 01$



$10 \Rightarrow 11 \Rightarrow 01$



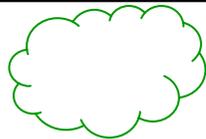
$10 \Rightarrow 00 \Rightarrow 01$



La codifica dei simboli d'ingresso non può essere arbitraria:
configurazioni consecutive devono essere **adiacenti**

Possibili malfunzionamenti

	X_1X_2				
	00	01	11	10	Z
A	A	C	B	D	0
B	A	D	B	C	0
C	A	C	C	C	1
D	A	D	D	D	0



X_1	0	1	1
X_2	0	1	0
s.p.	A	B	C
Z	0	0	1



X_1	0	0	1	1
X_2	0	1	1	0
s.p.	A	C	C	C
Z	0	1	1	1

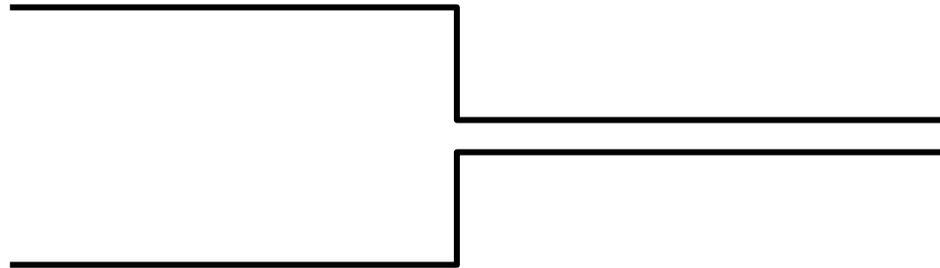


X_1	0	1	1	1
X_2	0	0	1	0
s.p.	A	D	D	D
Z	0	0	0	0

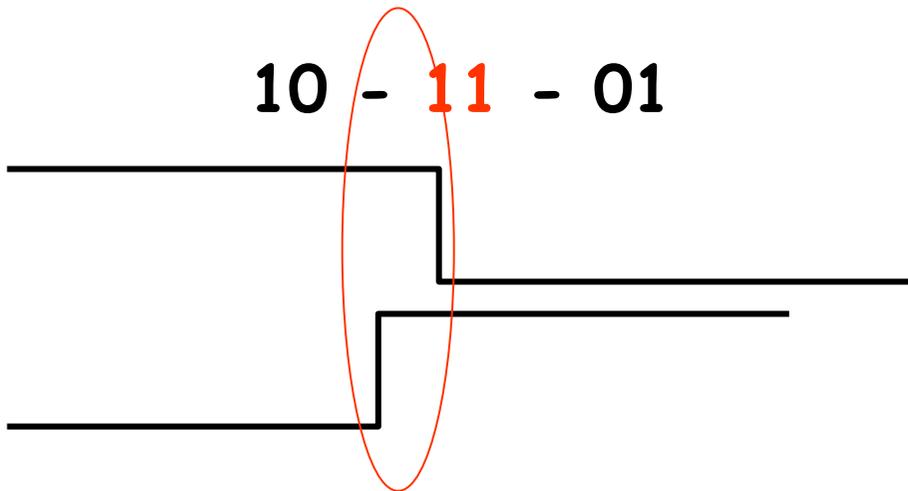
3. Codifica degli stati

Codifica degli stati interni - Per eliminare a priori la presenza di stati interni "s
Condizione restrittiva associate ad ogni coppia (stato prese Vincolo eccessivo no essere adiacenti

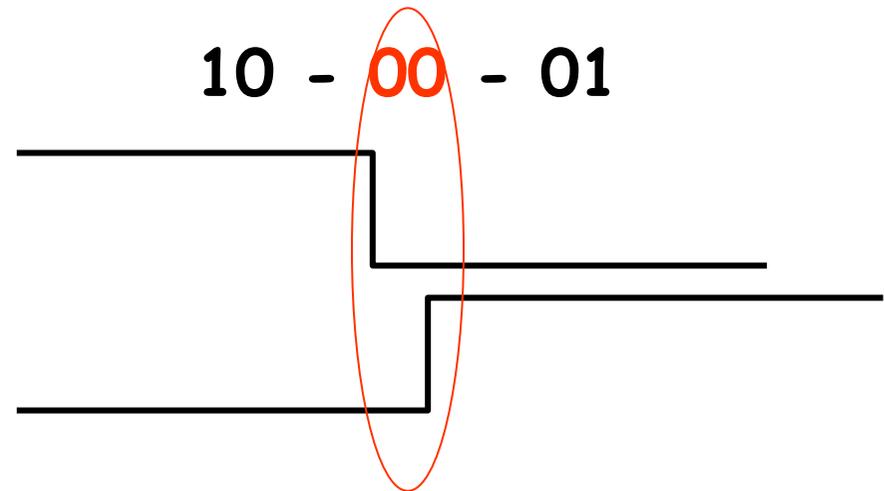
Esempio di situazione pericolosa : 10-01



10 - 11 - 01



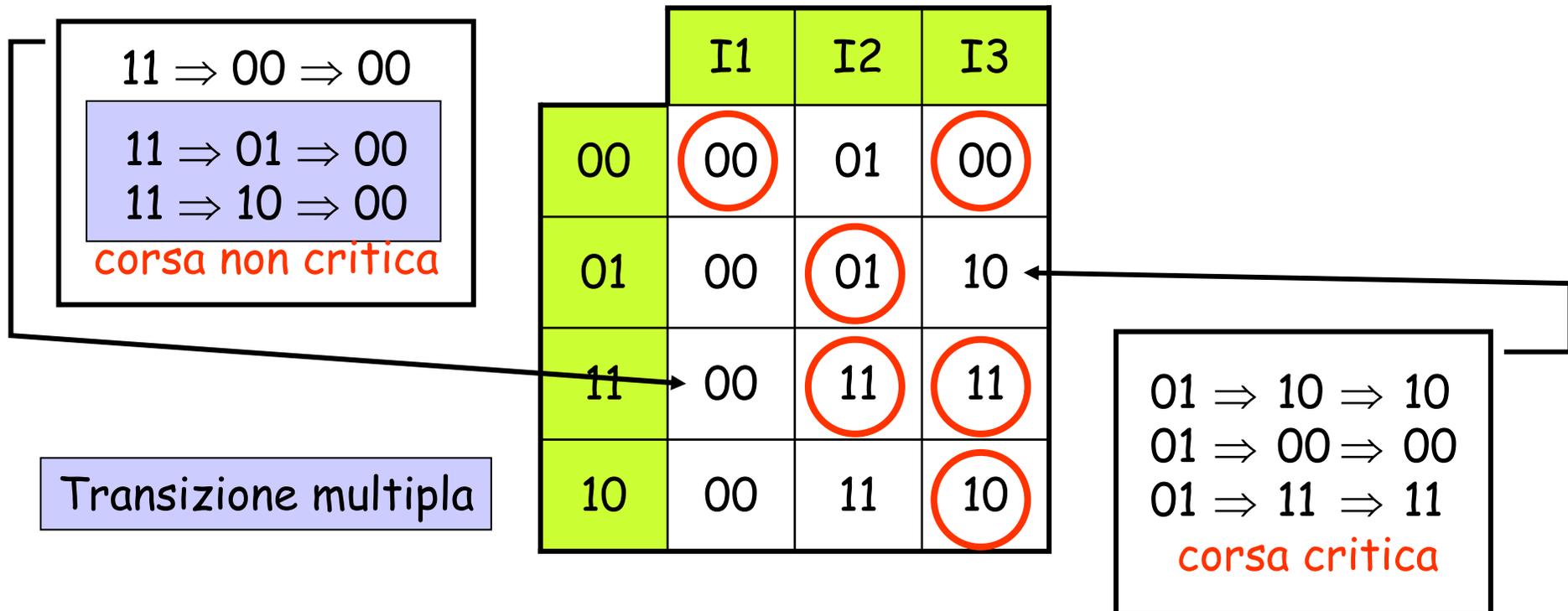
10 - 00 - 01



Corse critiche e corse non critiche

Segnali in retroazione per cui è stata prevista una modifica **contemporanea** di valore si trovano in una situazione di **corsa**: nel circuito i cambiamenti si verificheranno a istanti diversi e con un ordine dettato dai ritardi interni.

Una **corsa** è **critica** se si possono raggiungere stabilità diverse.



Prevenzione a priori delle corse critiche

1. Nelle colonne con **una sola stabilità** si inserisce il simbolo dello stato stabile al posto di eventuali condizioni d'indifferenza.
2. Per le sole colonne **con più stabilità** si traccia il **grafo delle adiacenze**: ad ogni stato è associato un nodo e ad ogni coppia stato presente - stato futuro un ramo orientato che connette i due nodi corrispondenti.
3. Si sovrappone il grafo ad una mappa per il minimo numero di variabili di stato e si verifica se è possibile **assegnare configurazioni adiacenti ad ogni coppia di stati coinvolta in una transizione**.
4. Se è impossibile soddisfare tutte i vincoli di adiacenza, si cerca di ridurli ricorrendo a **transizioni multiple**.
5. Se non ci si riesce, si **incrementa il numero delle variabili di stato** e si ritorna a 4.

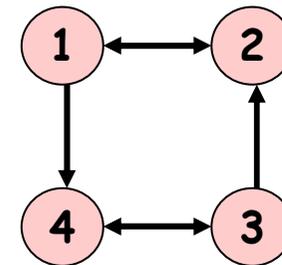
Una codifica priva di corse

FF-D (edge triggered)

CD

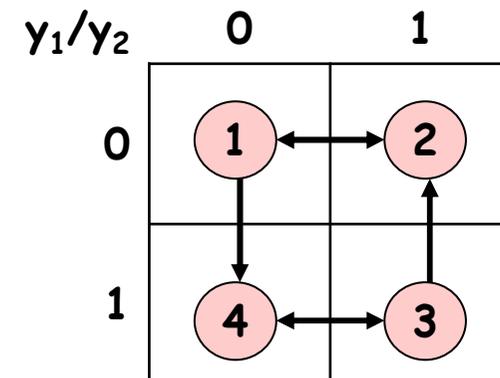
	00	01	11	10
1	1,0	1,0	4,-	2,0
2	1,0	1,0	2,0	2,0
3	3,1	3,1	4,1	2,-
4	3,1	3,1	4,1	4,1

Grafo delle adiacenze



CD

	00	01	11	10
00	00,0	00,0	10,-	01,0
01	00,0	00,0	01,0	01,0
11	11,1	11,1	10,1	01,-
10	11,1	11,1	10,1	10,1



Mappa di codifica

y_1y_2

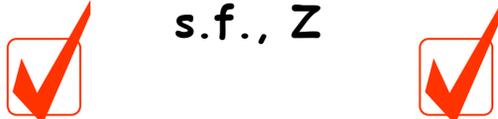
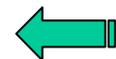
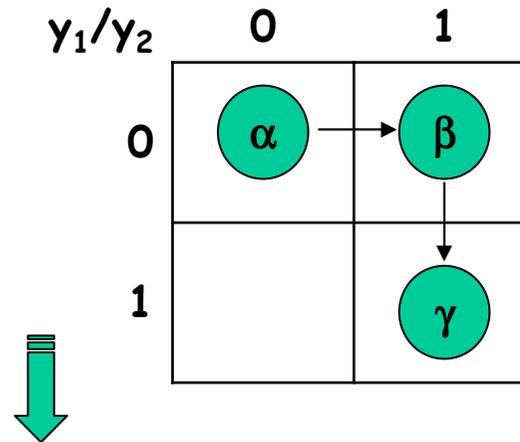
Una codifica con corse non critiche

Riconoscitore della sequenza 00-01-11

s.p.

		X_1X_2			
		00	01	11	10
α	$\alpha,0$	$\alpha,0$	$\beta,-$	$\gamma,0$	
β	$-, -$	$\gamma,-$	$\beta,1$	$\gamma,-$	
γ	$\alpha,0$	$\gamma,0$	$\gamma,0$	$\gamma,0$	

s.f., Z

Y_1Y_2

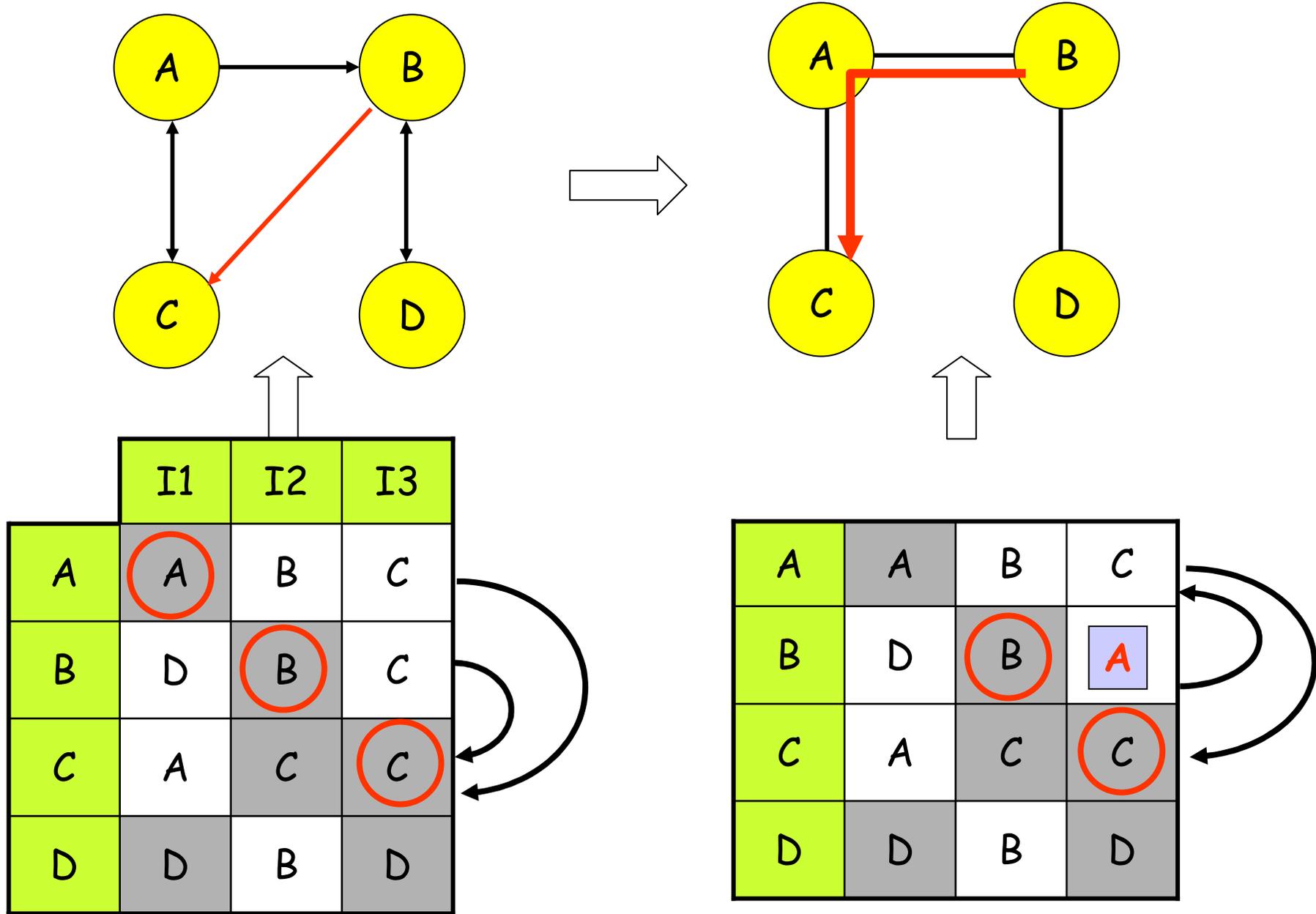
		X_1X_2			
		00	01	11	10
00	$00,0$	$00,0$	$01,-$	$11,0$	
01	$00,0$	$11,-$	$01,1$	$11,0$	
11	$00,0$	$11,0$	$11,0$	$11,0$	
10	$00,0$	$-, -$	$-, -$	$11,0$	

X_1X_2

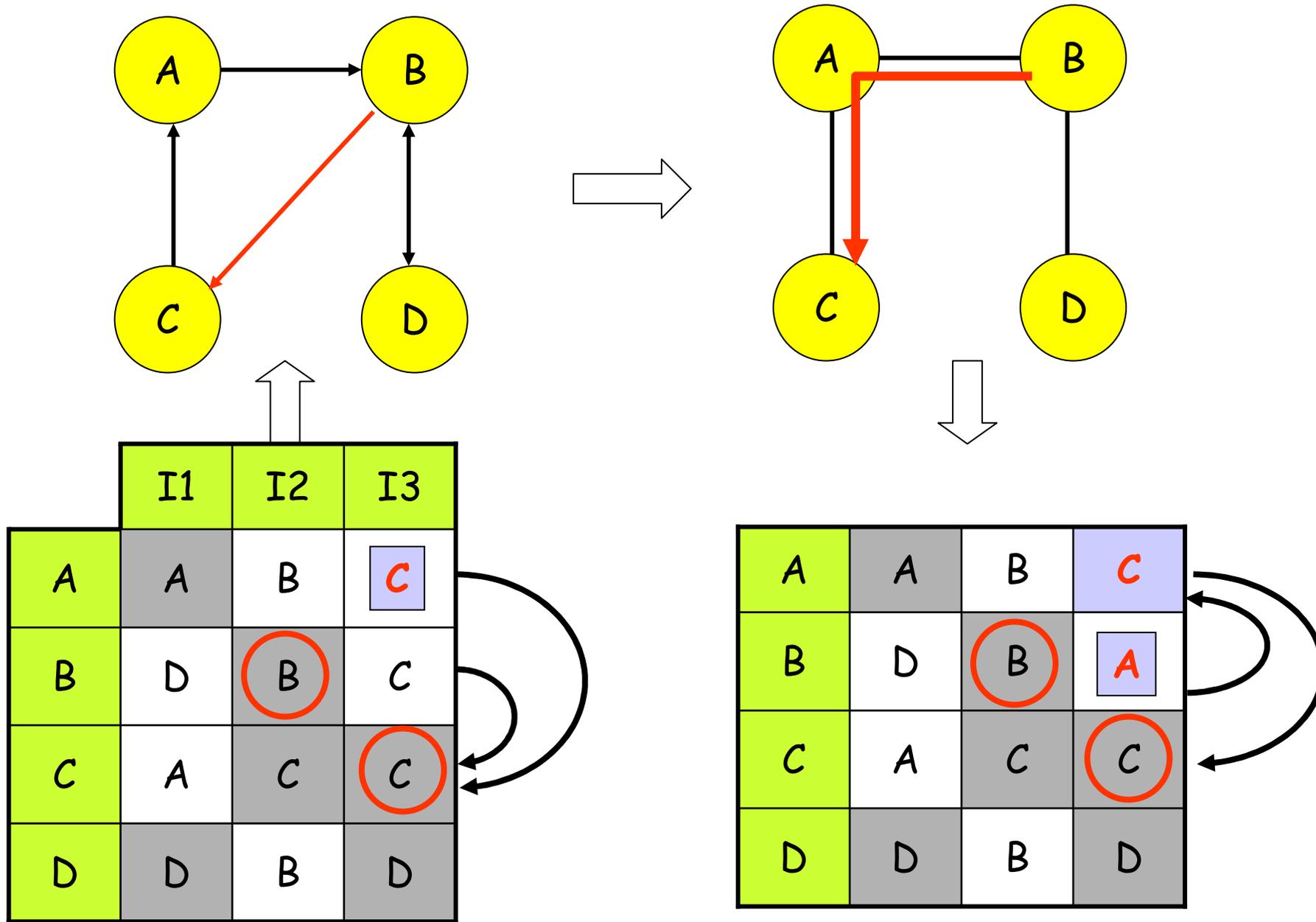
Y_1Y_2

		X_1X_2			
		00	01	11	10
00	$00,0$	$00,0$	$01,-$	$11,0$	
01	$-, -$	$11,-$	$01,1$	$11,-$	
11	$00,0$	$11,0$	$11,0$	$11,0$	
10	$-, -$	$-, -$	$-, -$	$-, -$	

Prevenzione di corse critiche: transizioni multiple ...



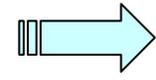
... Transizioni multiple



4. Alee statiche

D-latch

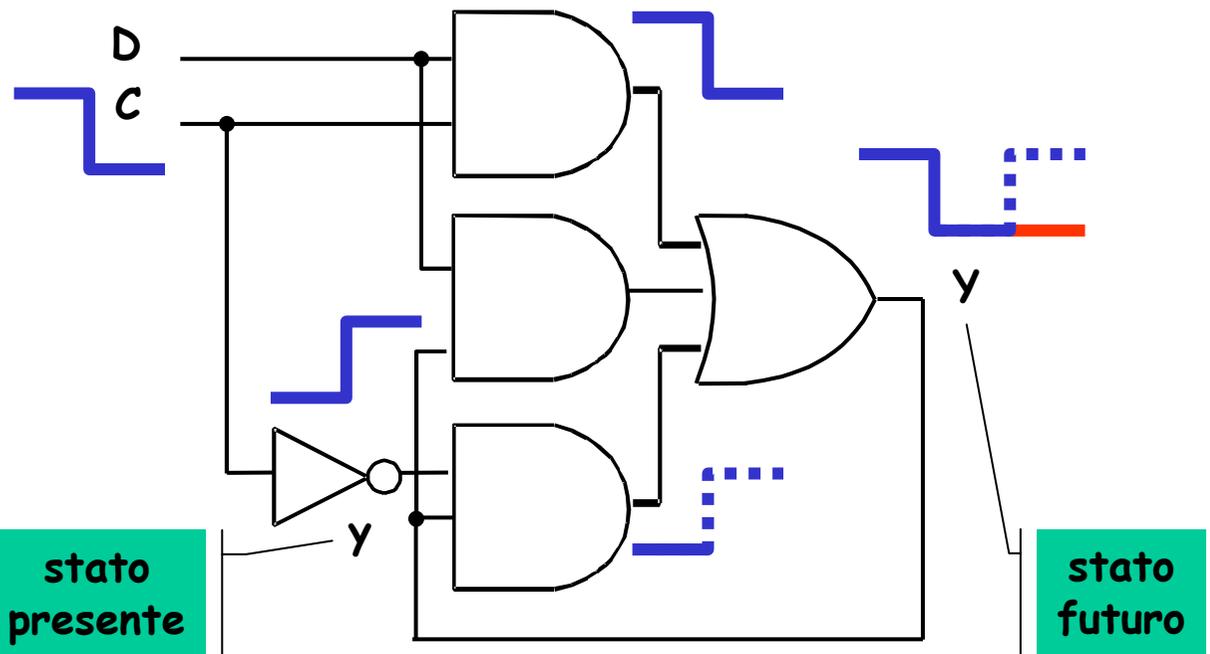
	CD			
	00	01	11	10
a	a,0	a,0	b,-	a,0
b	b,1	b,1	b,1	a,-



	CD			
	00	01	11	10
a≡0	0,0	0,0	1,-	0,0
b≡1	1,1	1,1	1,1	0,-

y, Z

$Z = y$ $Y = CD + C' y$



	CD			
	00	01	11	10
a≡0	0	0	1	0
b≡1	1	1	1	0

y

$Y = CD + C' y + D y$

Coperture ridondanti - Per evitare a priori le alee statiche, "ogni coppia di celle adiacenti da coprire deve essere racchiusa in un RR" (anche gli eventuali RR ridondanti devono avere dimensione massima).

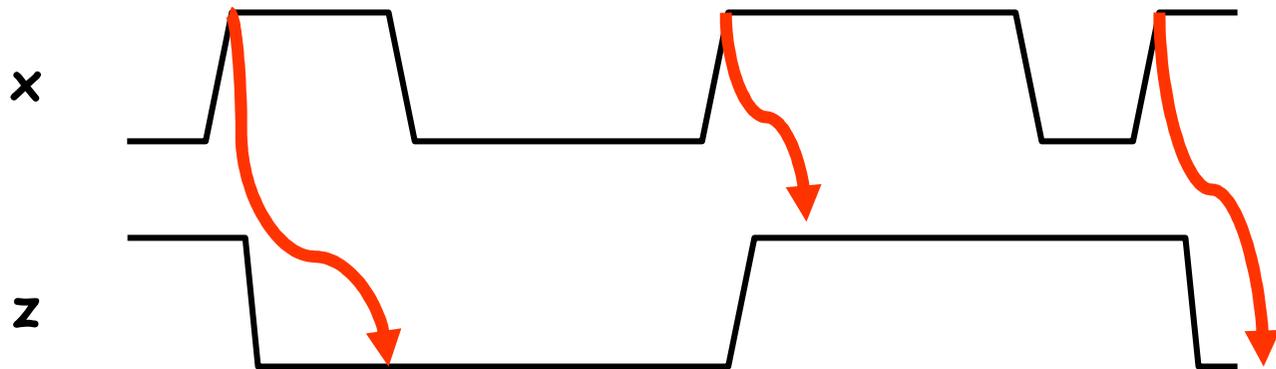


Sintesi

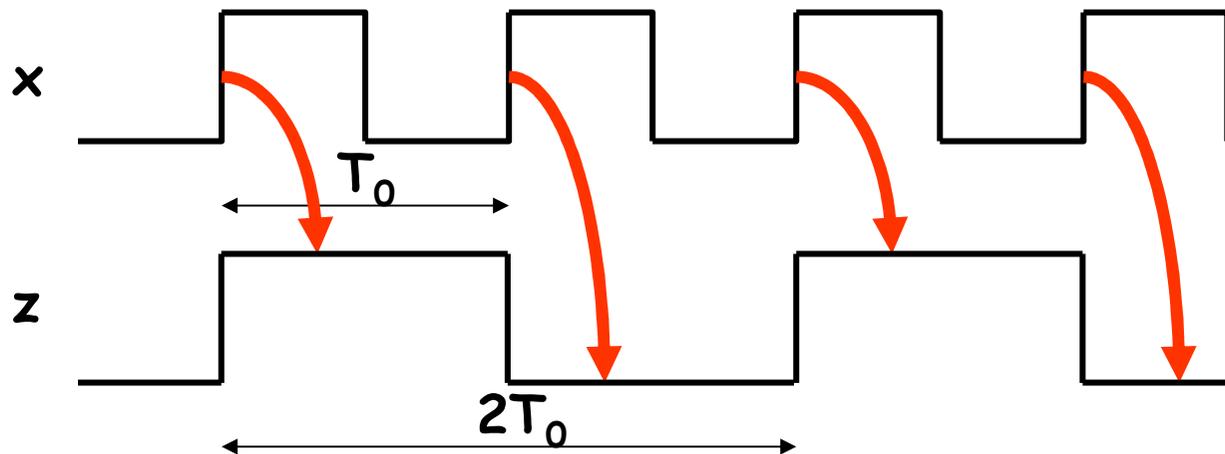


Comportamento: "z cambia di valore ad ogni fronte di salita di x"

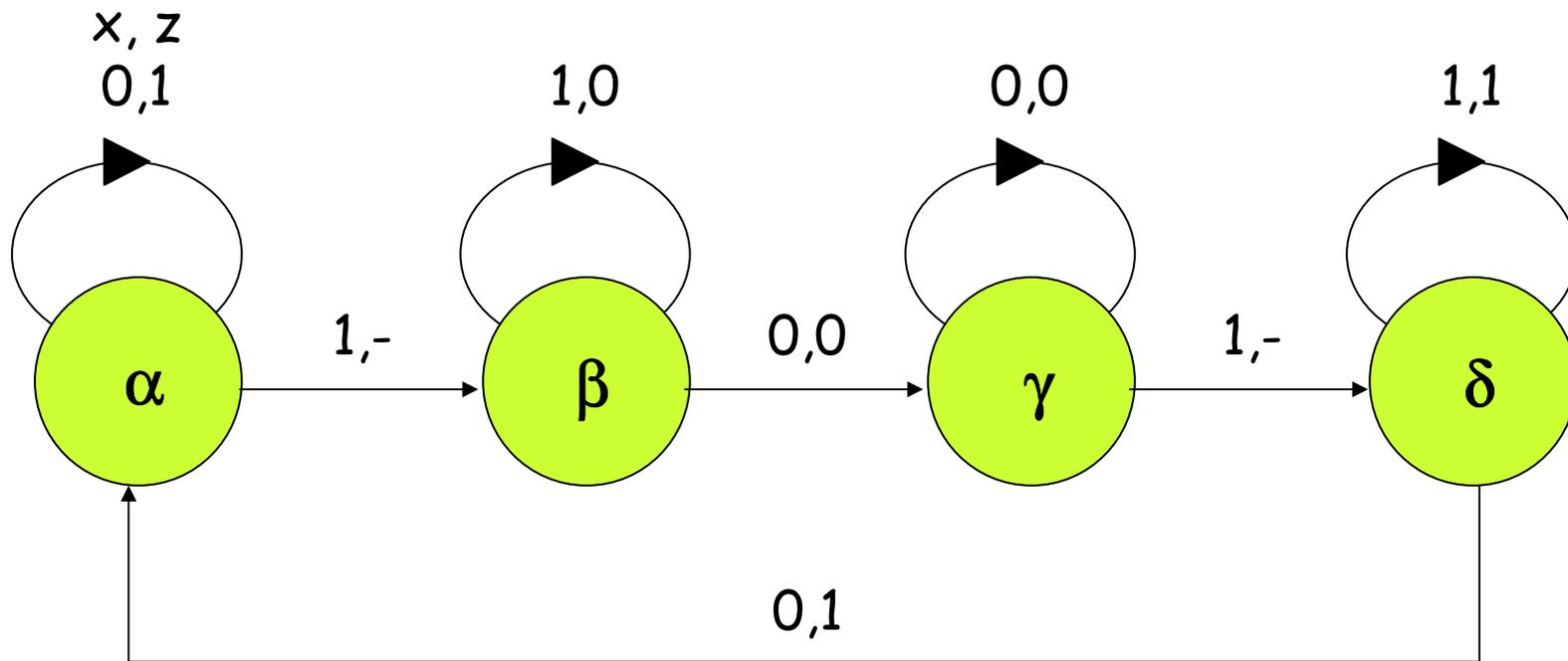
Lampada da tavolo



Divisore x2
della frequenza
di un segnale periodico



1: Grafo degli stati



Stabilità - Ogni stato è stabile per l'ingresso che lo genera.
Indifferenza sull'uscita - La modifica di uscita può avvenire già durante la transizione oppure, indifferentemente, essere differita al raggiungimento della stabilità.

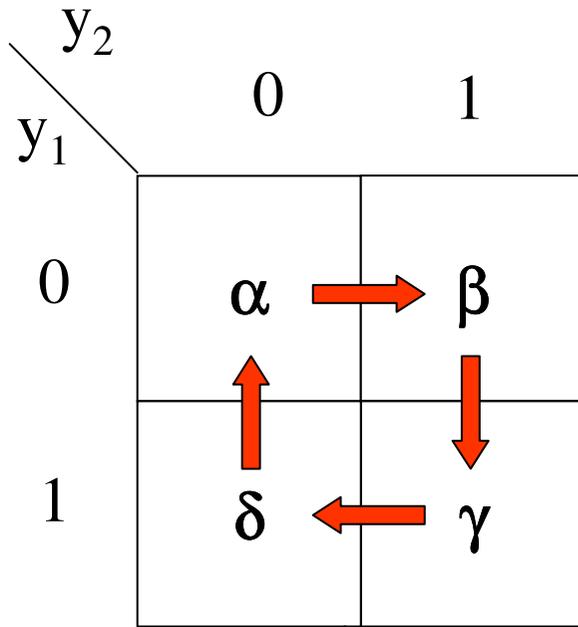
2: Tabella di flusso

stato \ x	0	1
	α	$\alpha,1$
β	$\gamma,0$	$\beta,0$
γ	$\gamma,0$	$\delta,-$
δ	$\alpha,1$	$\delta,1$

CONTROLLI FORMALI

1. In ogni riga ci deve essere almeno una condizione di stabilità.
2. In ogni colonna si deve raggiungere sempre una stabilità.
3. Le situazioni di instabilità devono indicare uno stato futuro stabile nella colonna (assenza di transizioni multiple).

3: Tabella delle transizioni



Grafo delle adiacenze
e mappa di codifica

$y_1, y_2 \backslash x$	0	1
$\alpha:00$	00,1	01,-
$\beta:01$	11,0	01,0
$\gamma:11$	11,0	10,-
$\delta:10$	00,1	10,1

$Y_1 Y_2, z$

Codifica degli stati - A stati consecutivi (stato presente e futuro) si devono assegnare configurazioni **adiacenti**.

4: Espressioni

Ipotesi: si desiderano reti minime di tipo SP

$x \backslash y_1y_2$	00	01	11	10
0	0	1	1	0
1	0	0	1	1

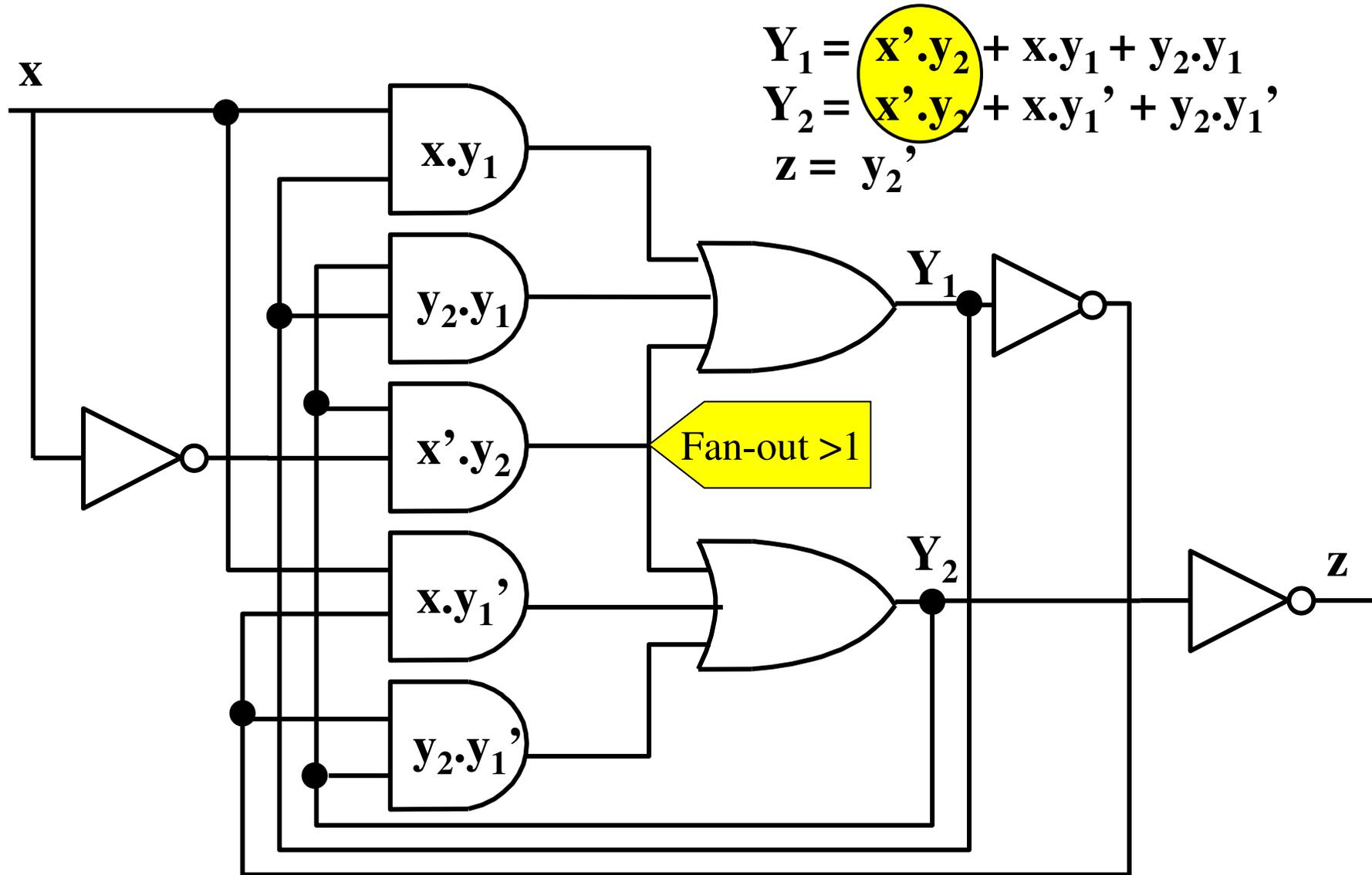
$x \backslash y_1y_2$	00	01	11	10
0	0	1	1	0
1	1	1	0	0

$x \backslash y_1y_2$	00	01	11	10
0	1	0	0	1
1	-	0	-	1

$$Y_1 = x' \cdot y_2 + x \cdot y_1 + y_2 \cdot y_1 \quad Y_2 = x' \cdot y_2 + x \cdot y_1' + y_2 \cdot y_1' \quad z = y_2'$$

Coperture ridondanti per evitare a priori il pericolo di alee statiche

5: Schema logico



$$Y_1 = x' \cdot y_2 + x \cdot y_1 + y_2 \cdot y_1$$
$$Y_2 = x' \cdot y_2 + x \cdot y_1' + y_2 \cdot y_1'$$
$$z = y_2'$$



**Grafì
primitivi e
non primitivi**

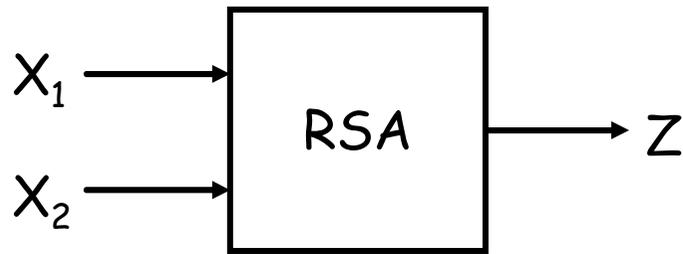
Grafo primitivo

Grafo degli stati primitivo - Grafo in cui ogni stato è stabile per una ed una sola configurazione d'ingresso.

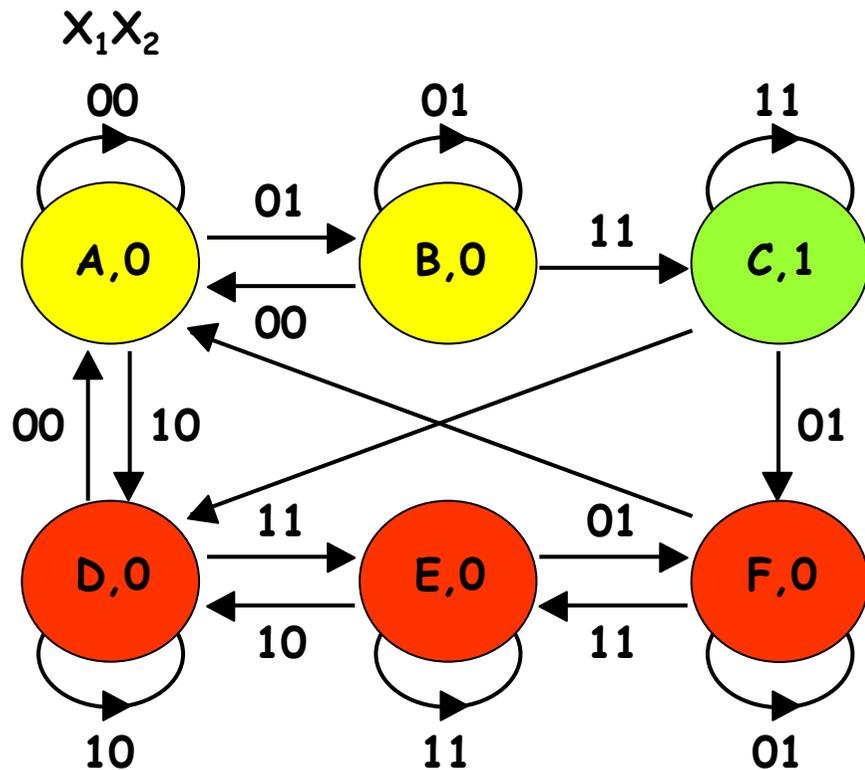
Per individuare le esigenze di stati interni poste dalla specifica di comportamento è spesso utile iniziare il progetto con un **grafo primitivo**.

Di norma il grafo primitivo **non ha il minimo numero possibile di stati interni**

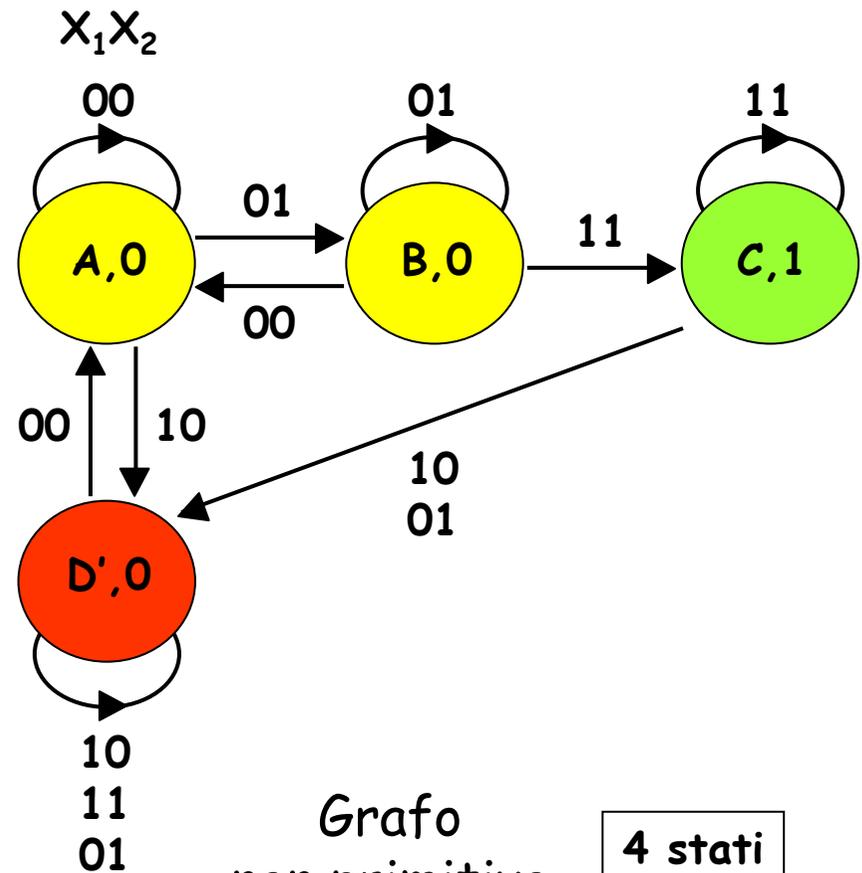
Nota la tabella di flusso primitiva (una sola stabilità per riga), è abbastanza agevole individuare l'**automa minimo**



Comportamento: riconoscitore della sequenza di ingresso $X_1X_2 = 00-01-11$
 (i segnali di ingresso non cambiano mai contemporaneamente).



Grafo primitivo 6 stati

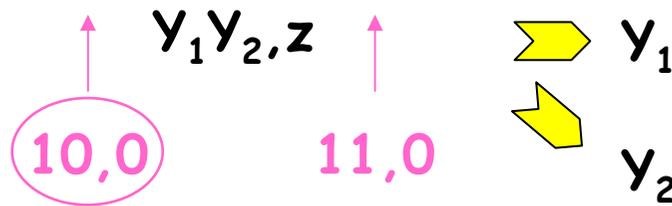


Grafo non primitivo 4 stati

... Tabella delle transizioni, mappe e espressioni

		x_1x_2			
		00	01	11	10
y_1y_2	00	00,0	00,0	01,-	11,0
	01	00,0	11,-	01,1	11,0
	11	00,0	11,0	11,0	11,0
	10	00,0	--,-	--,-	11,0

		00	01	11	10
00	0	0	0	0	1
01	0	1	0	1	1
11	0	1	1	1	1
10	0	-	-	-	1



**l'uno o l'altro ?
entrambi !**

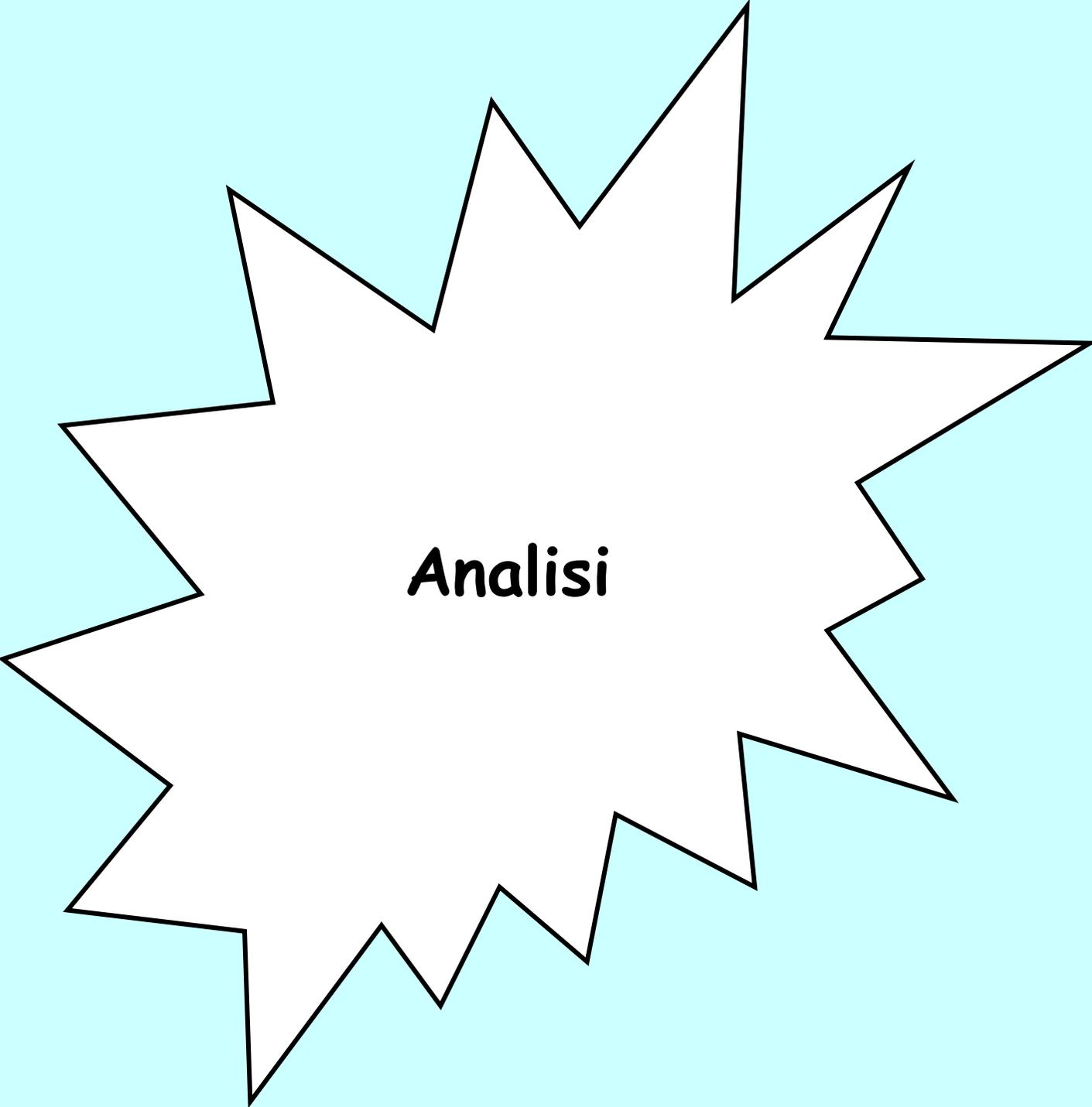
$$y_1 = x_1x_2' + x_1'x_2y_2 + x_1y_1 + x_2y_1$$

$$y_2 = x_1 + x_2y_2 + x_2y_1$$

$$z = x_1x_2y_1'$$

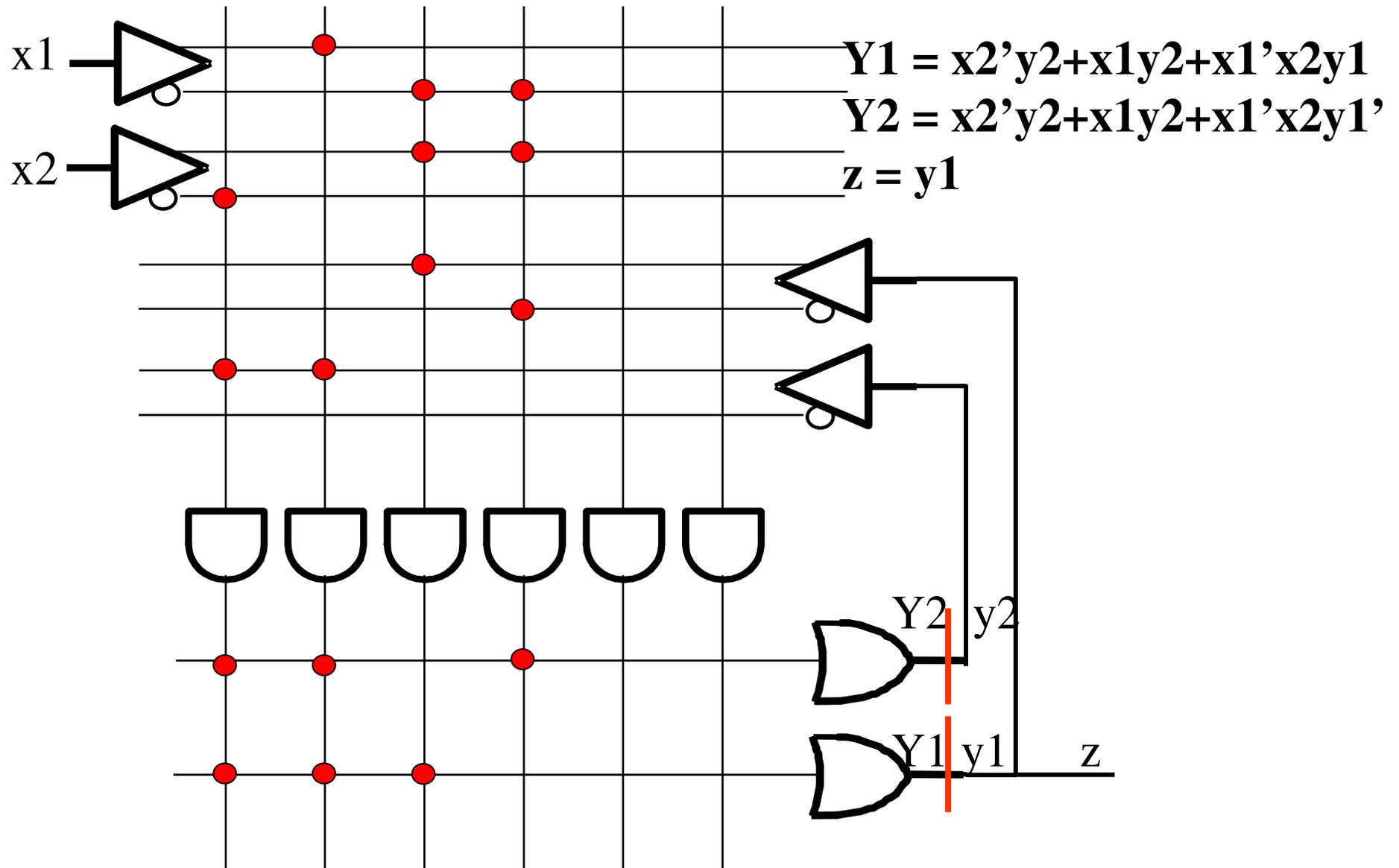
autoinizializzazione

		00	01	11	10
00	0	0	0	1	1
01	0	0	1	1	1
11	0	0	1	1	1
10	0	-	-	-	1



Analisi

Una PLA con due retroazioni (1&2)



Una PLA con due retroazioni (3)

$$Y_1 = x_2'y_2 + x_1y_2 + x_1'x_2y_1$$

$$Y_2 = x_2'y_2 + x_1y_2 + x_1'x_2y_1'$$

$$z = y_1$$

	x_1x_2			
y_1y_2	00	01	11	10
00	0	0	0	0
01	1	0	1	1
11	1	1	1	1
10	0	1	0	0

Y_1

	x_1x_2			
y_1y_2	00	01	11	10
00	0	1	0	0
01	1	1	1	1
11	1	0	1	1
10	0	0	0	0

Y_2

Eliminazione alee statiche: y_1y_2 in Y_1 , $y_1'y_2$ in Y_2

Una PLA con due retroazioni (4&5)

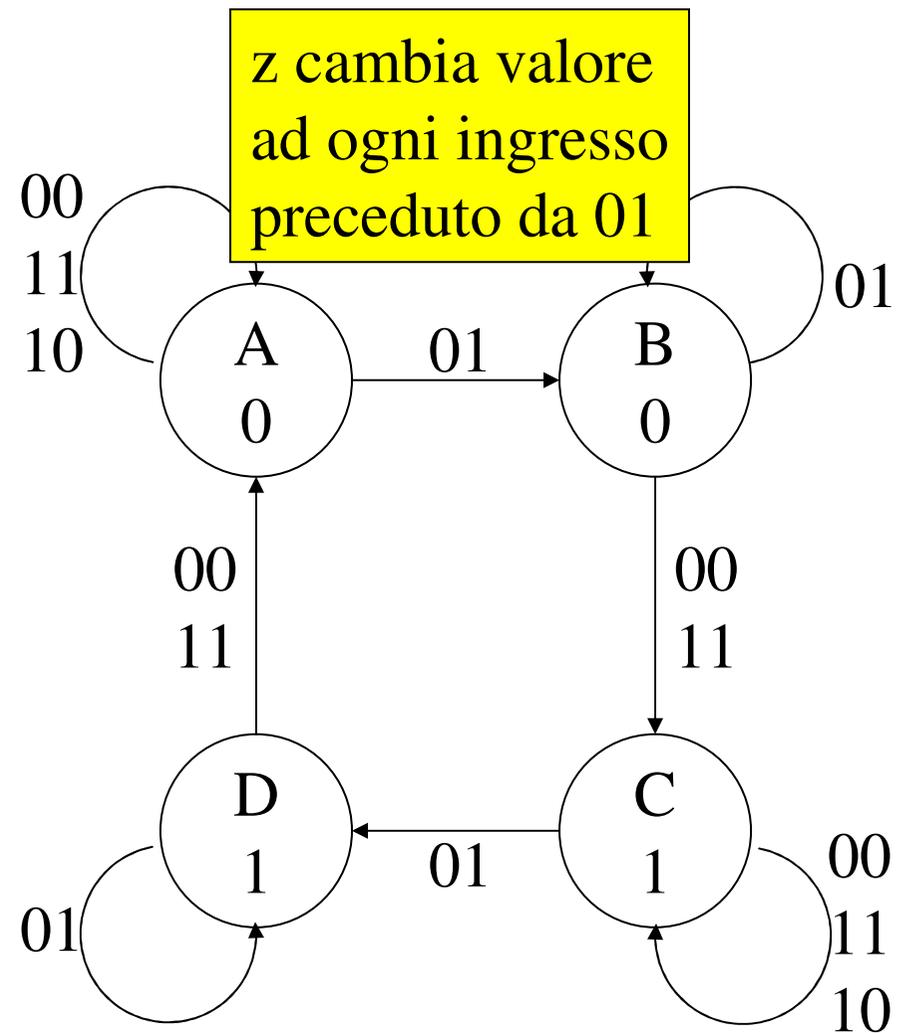
y1y2	x1x2			
	00	01	11	10
00≡A	A,0	B,0	A,0	A,0
01≡B	C,-	B,0	C,-	-, -
11≡C	C,1	D,1	C,1	C,1
10≡D	A,-	D,1	A,-	-, -

Funziona in modo fondamentale

y1y2	00	01	11	10
00	00,0	01,0	00,0	00,0
01	11,0	01,0	11,0	11,0
11	11,1	10,1	11,1	11,1
10	00,1	10,1	00,1	00,1

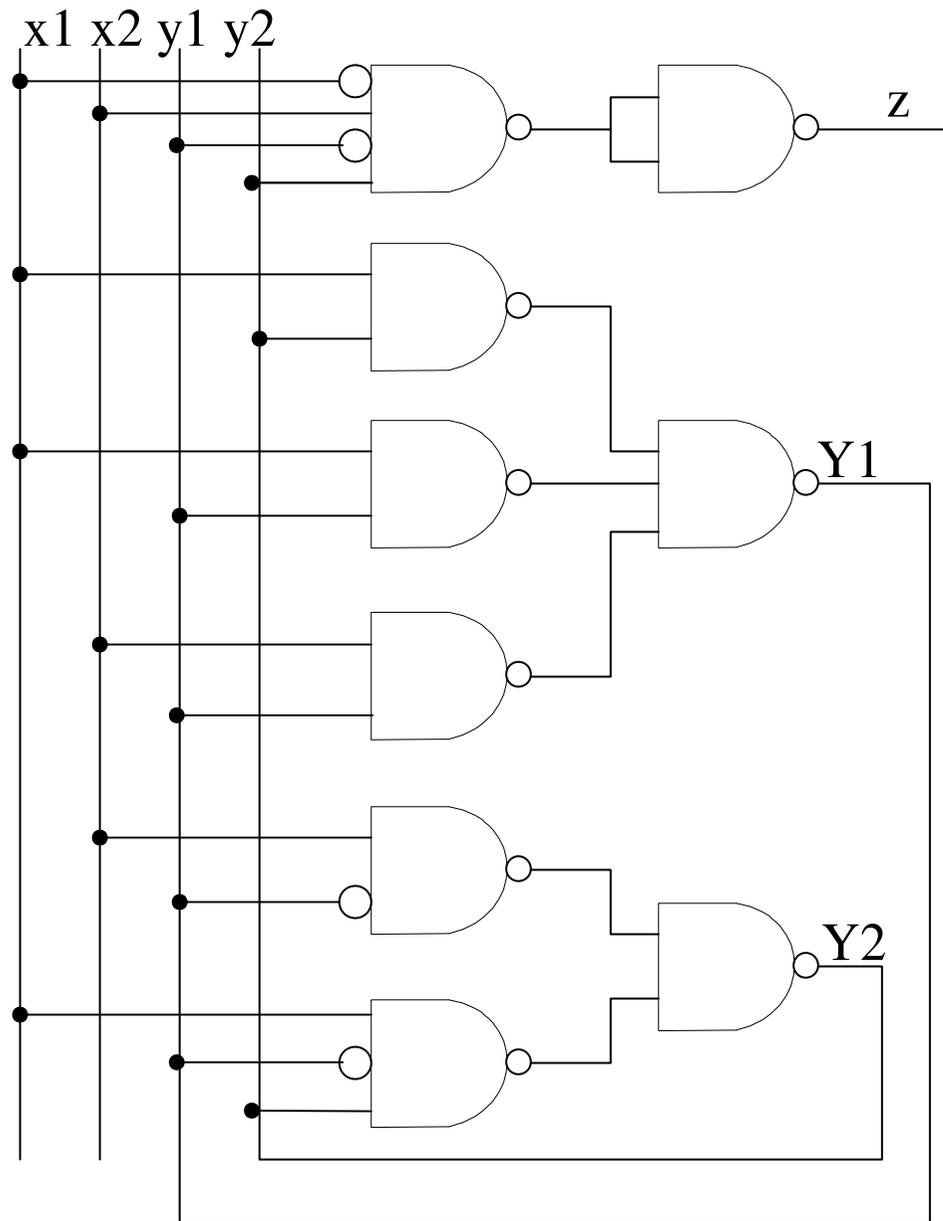
Non ci sono corse critiche

Modello di Mealy



Modello di Moore

Una rete asincrona con 2 retroazioni ...



$$Y1 = (x1 \uparrow y2) \uparrow (x1 \uparrow y1) \uparrow (x2 \uparrow y1) \\ = x1.y2 + x1.y1 + x2.y1$$

$$Y2 = (x2 \uparrow y1') \uparrow (x1 \uparrow y1' \uparrow y2) \\ = x2.y1' + x1.y1'.y2$$

$$z = x1'.x2.y1'.y2$$

$$Y1 = x1.y2 + x1.y1 + x2.y1$$

$$Y2 = x2.y1' + x1.y1'.y2$$

$$z = x1'.x2.y1'.y2$$

↓

		x_1x_2			
		00	01	11	10
y_1y_2	00	0	0	0	0
	01	0	0	1	1
	11	0	1	1	1
	10	0	1	1	1

Y1

↓

		x_1x_2			
		00	01	11	10
y_1y_2	00	0	1	1	0
	01	0	1	1	1
	11	0	0	0	0
	10	0	0	0	0

Y2

↓

		x_1x_2			
		00	01	11	10
y_1y_2	00	0	0	0	0
	01	0	1	0	0
	11	0	0	0	0
	10	0	0	0	0

z

Corsa non critica



Stato instabile

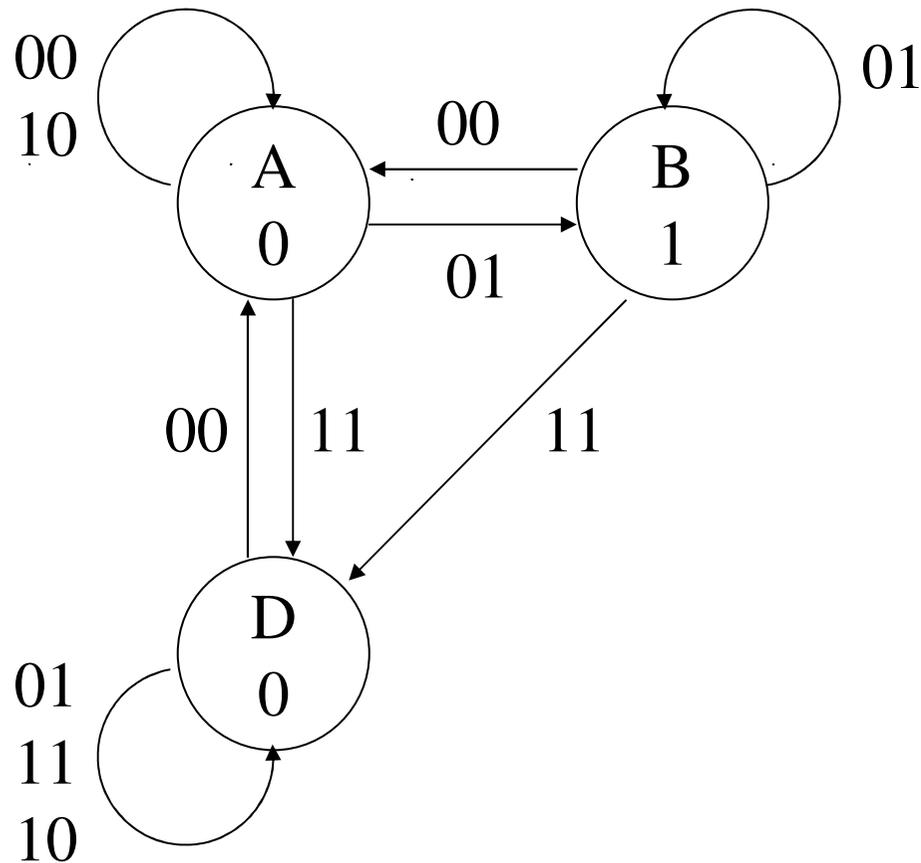
	x_1x_2			
y_1y_2	00	01	11	10
00	00,0	01,0	01,0	00,0
01	00,0	01,1	11,0	11,0
11	00,0	10,0	10,0	10,0
10	00,0	10,0	10,0	10,0

Y1Y2,z

.... e tre soli
stati interni

	x1x2			
y1y2	00	01	11	10
00	00,0	01,0	01,0	00,0
01	00,0	01,1	11,0	11,0
11	00,0	10,0	10,0	10,0
10	00,0	10,0	10,0	10,0

Y1Y2,z

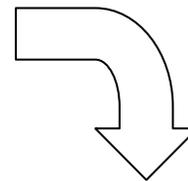
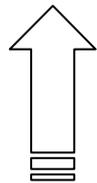


	x1x2			
y1y2	00	01	11	10
00=A	A,0	B,-	D,0	A,0
01=B	A,-	B,1	D,-	-, -
10=D	A,0	D,0	D,0	D,0

Un circuito con troppe retroazioni

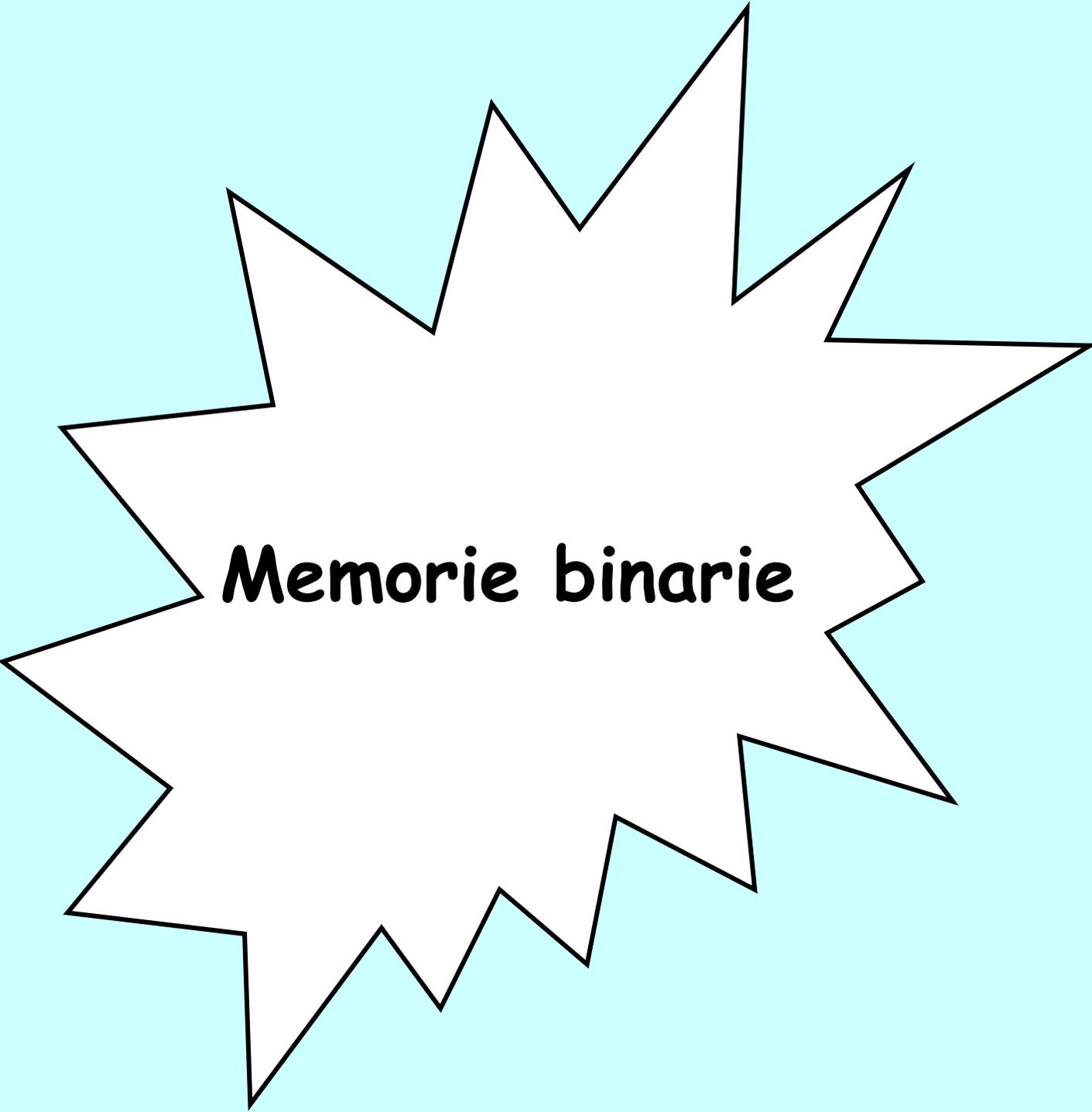
	x1x2			
y1y2	00	01	11	10
00=A	A,01	A,01	B,-1	C,--
01=B	-,--	A,-1	B,11	C,1-
11=C	A,--	C,10	C,10	C,10

Le righe A e B
possono essere sostituite
da una sola riga AB



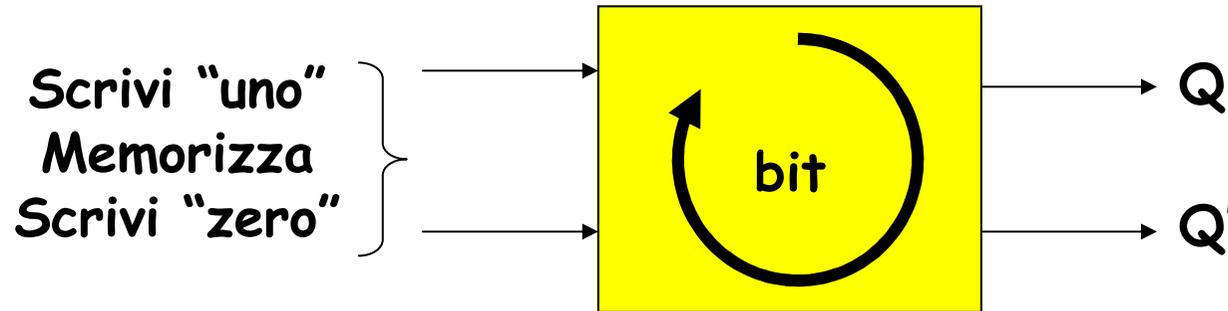
	x1x2			
y1y2	00	01	11	10
00	00,01	00,01	01,11	11,11
01	00,01	00,01	01,11	11,11
11	10,00	11,10	11,10	11,10
10	00,00	00,00	01,0	11,10

	x1x2			
y1y2	00	01	11	10
AB=a	a,01	a,01	a,11	C1-
C	a,--	C,10	C,10	C,10

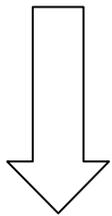


Memorie binarie

Memorie binarie



Cosa scrivere e quando scrivere \Rightarrow **sequenza d'ingresso**



**complessità
strutturale**

- Latch SR
- D-Latch
- Flip-Flop D



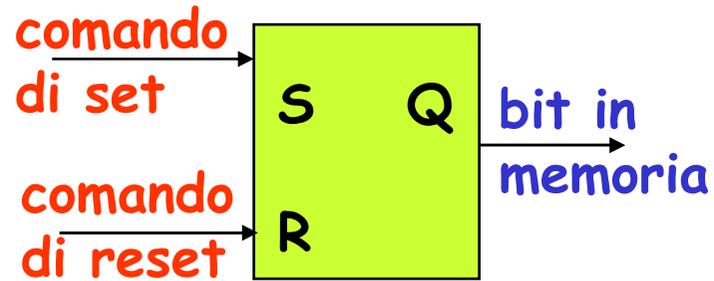
**Semplicità
d'uso**



Latch SR

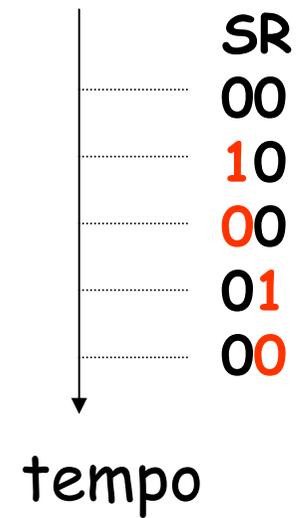
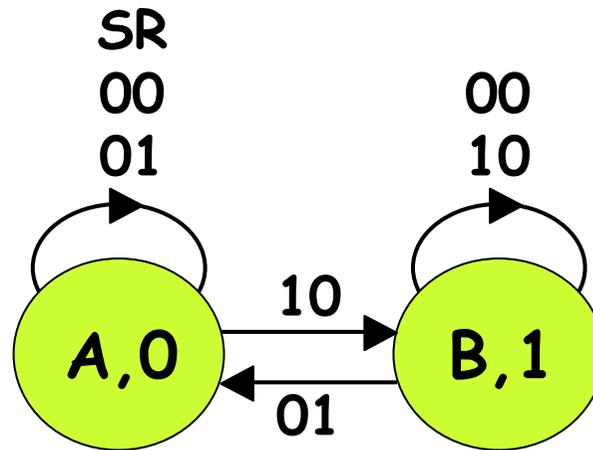
Grafo degli stati

1



S	R	Q
0	0	Q
1	0	1
0	1	0

2



3

Tabella di flusso, tabella delle transizioni, equazioni caratteristiche

s.p.

	SR			
	00	01	11	10
A	$\textcircled{A,0}$	$\textcircled{A,0}$	-,-	$B,-$
B	$\textcircled{B,1}$	$A,-$	-,-	$\textcircled{B,1}$

s.f., Q

Y

	SR			
	00	01	11	10
$A \equiv 0$	0,0	0,0	-,-	1,-
$B \equiv 1$	1,1	0,-	-,-	1,1

Y, Q

$$Q = y$$

Y

	SR			
	00	01	11	10
0	0	0	-	1
1	1	0	-	1

$$Y = S + R' \cdot y$$

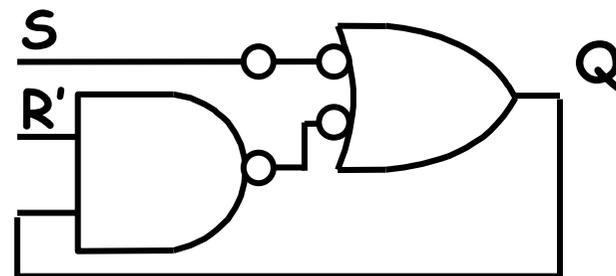
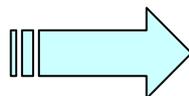
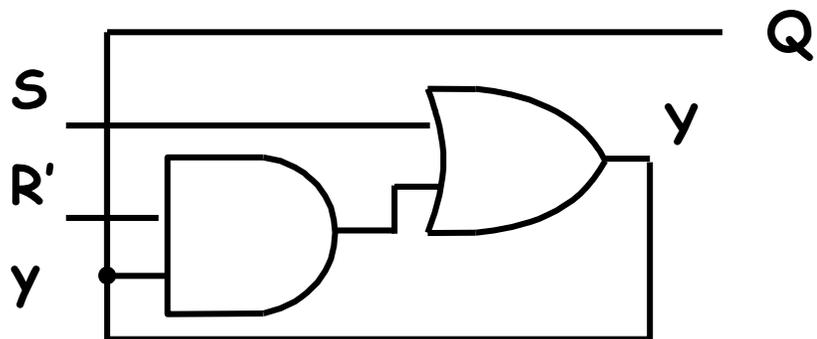
Y

	SR			
	00	01	11	10
0	0	0	-	1
1	1	0	-	1

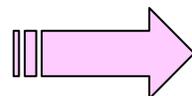
$$Y = R' \cdot (S + y)$$

4

Schemi logici ...

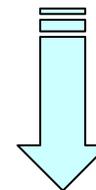
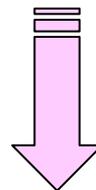


$$y = S + R' \cdot y$$

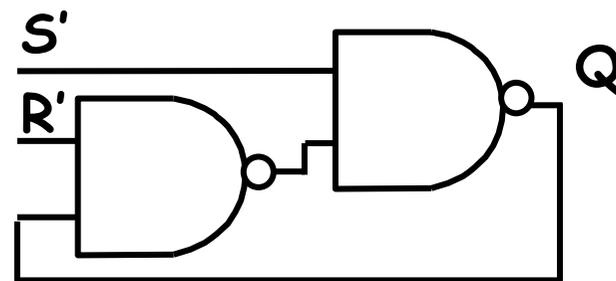
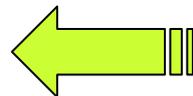
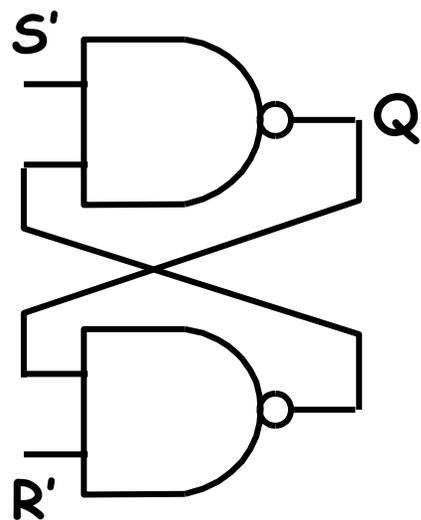


$$= S' \uparrow (R' \uparrow y)$$

$$Q = y$$

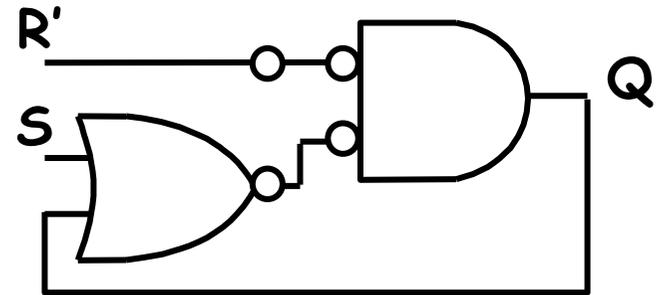
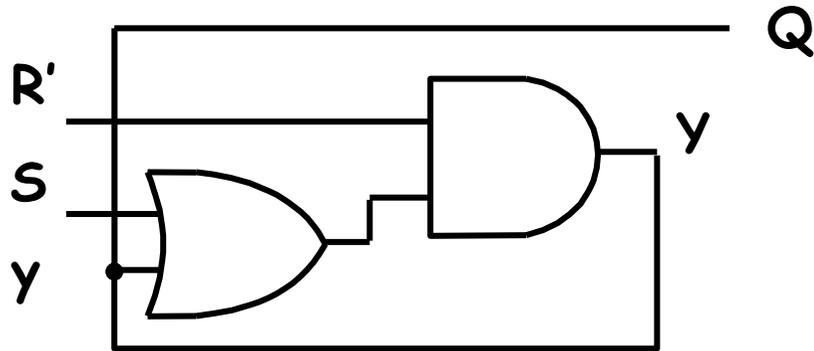


$t_w > 2t_p$



4

... Schemi logici

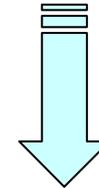
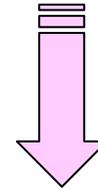


$$Y = R' \cdot (S + Y)$$

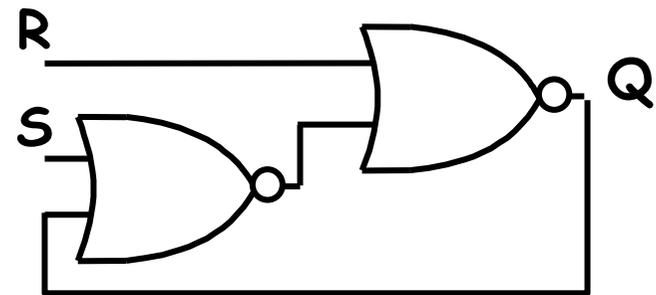
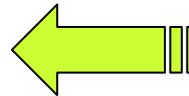
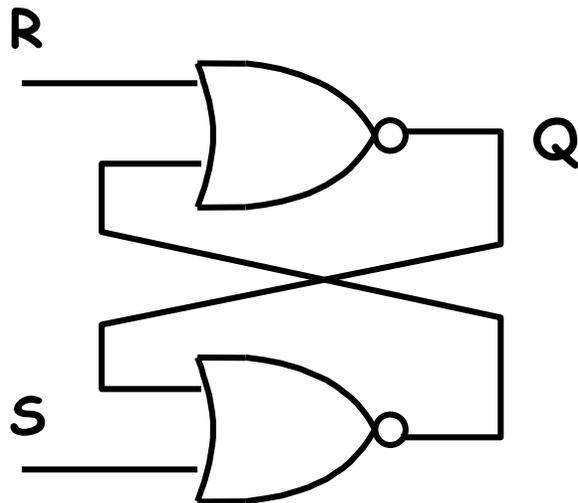


$$= R \downarrow (S \downarrow Y)$$

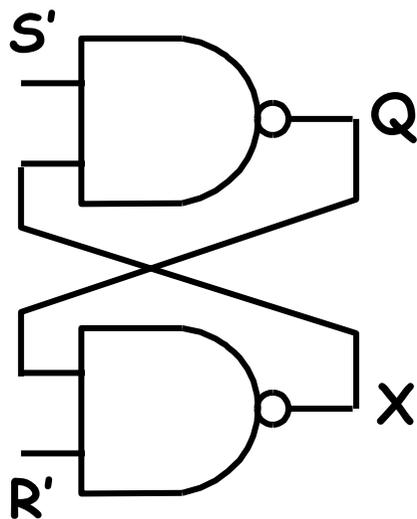
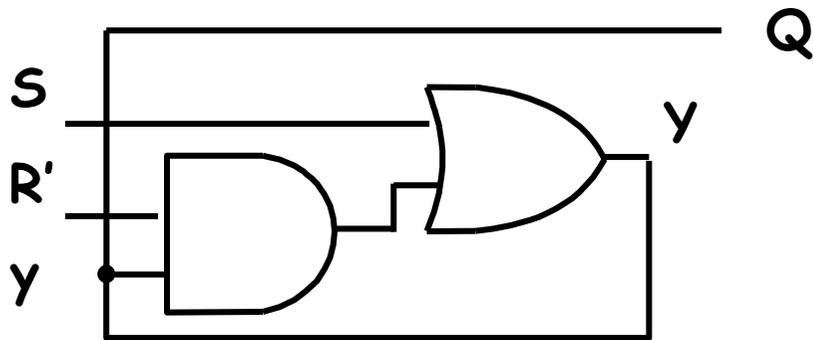
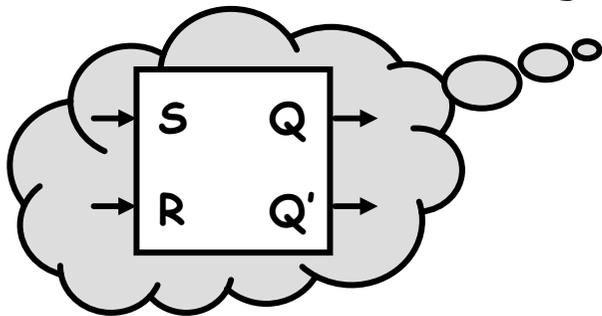
$$Q = Y$$



$t_w > 2t_p$



Uscite complementari

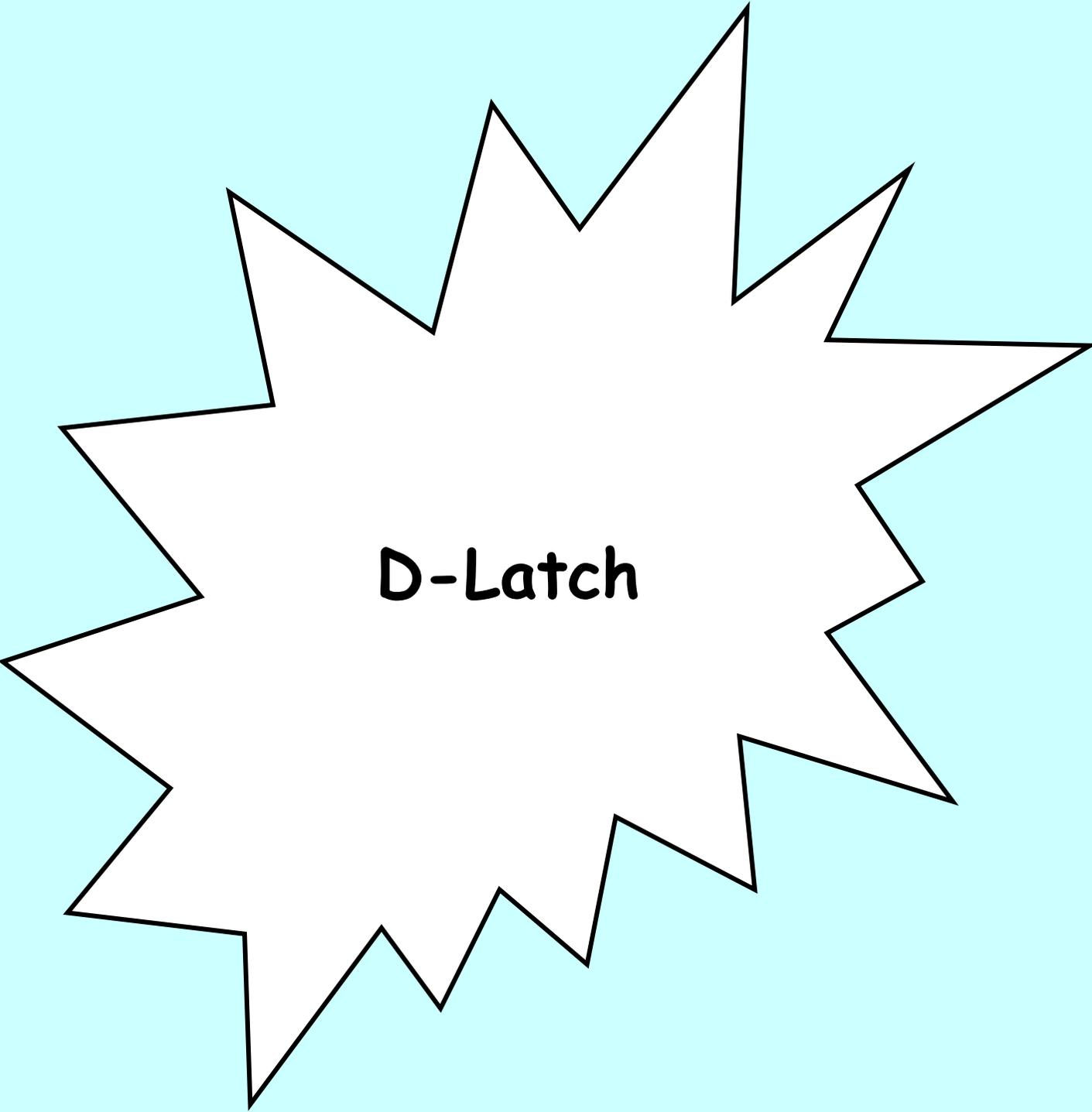


		SR			
		00	01	11	10
y	A=0	0,0	0,0	-,-	1,-
	B=1	1,1	0,-	-,-	1,1
		y,Q			

$Y = S + R' \cdot y$
 $Q = y$

		SR			
		00	01	11	10
y	0	0,01	0,01	1,01	1,01
	1	1,10	0,11	1,11	1,10
		y,QX			

$X = R' \uparrow y = R + y' = Q'$

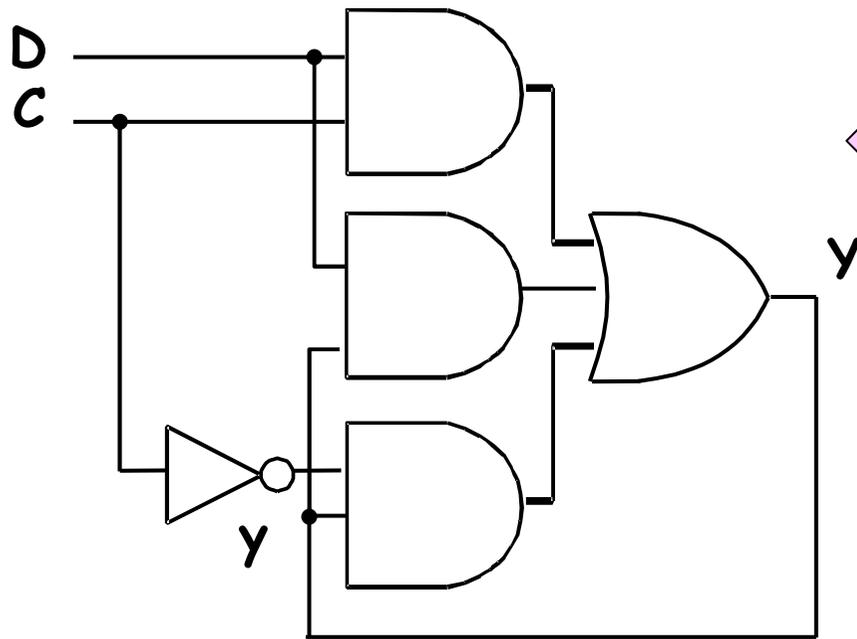


D-Latch

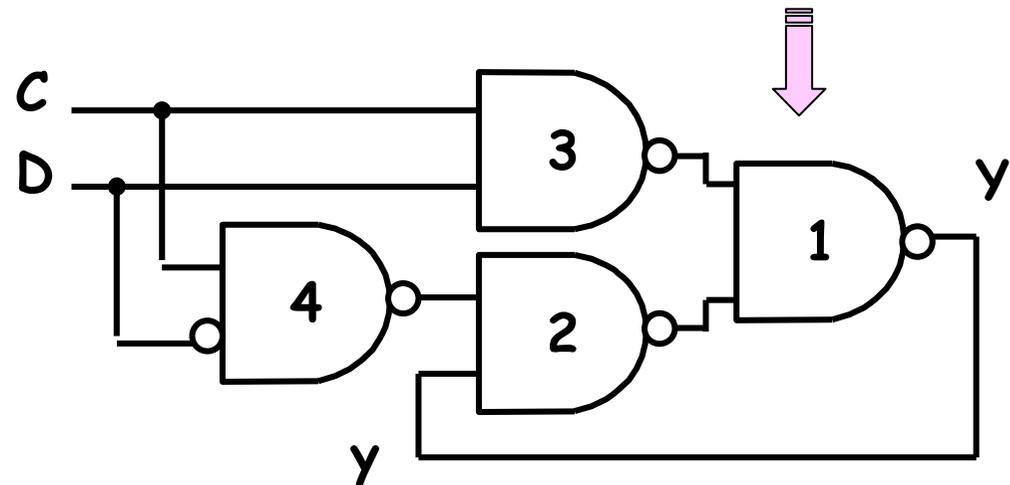
... Tabella delle transizioni, espressioni

		CD				Q = y
		00	01	11	10	
y	0	0,0	0,0	1,-	0,0	
	1	1,1	1,1	1,1	0,-	

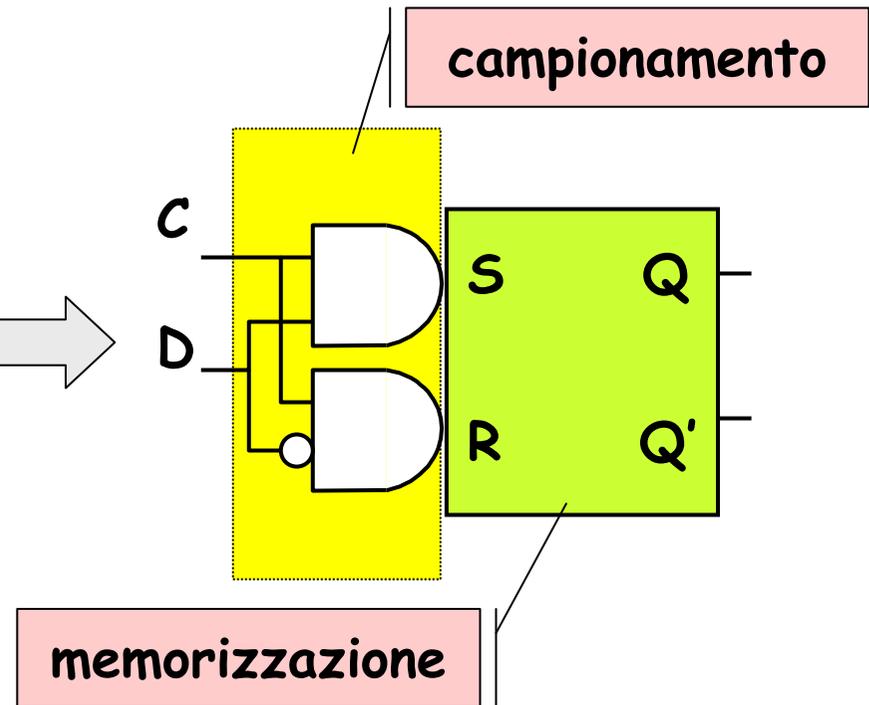
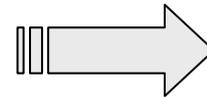
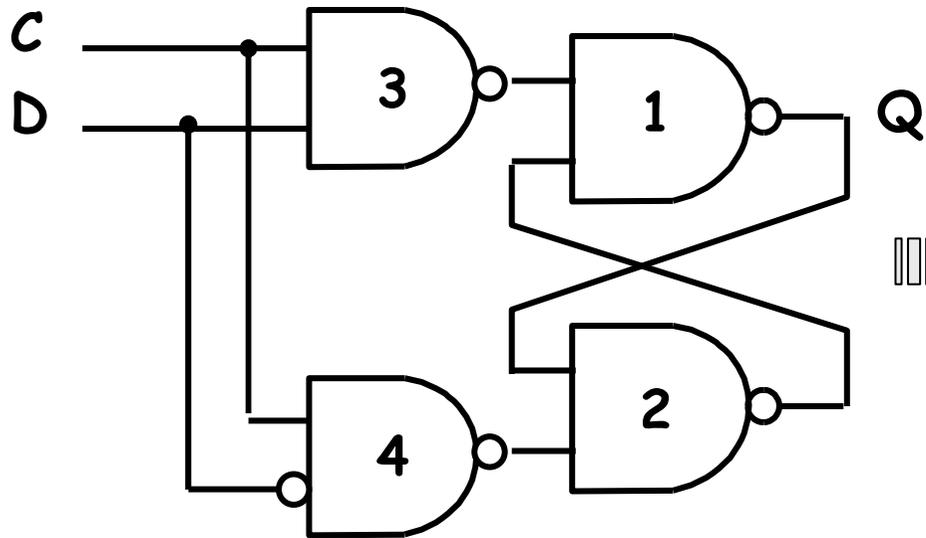
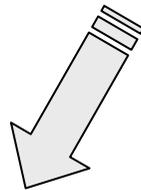
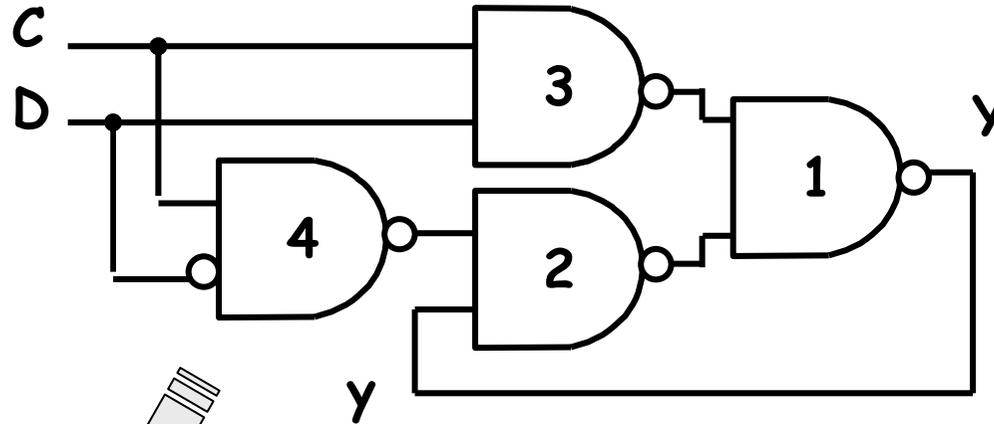
Y, Q

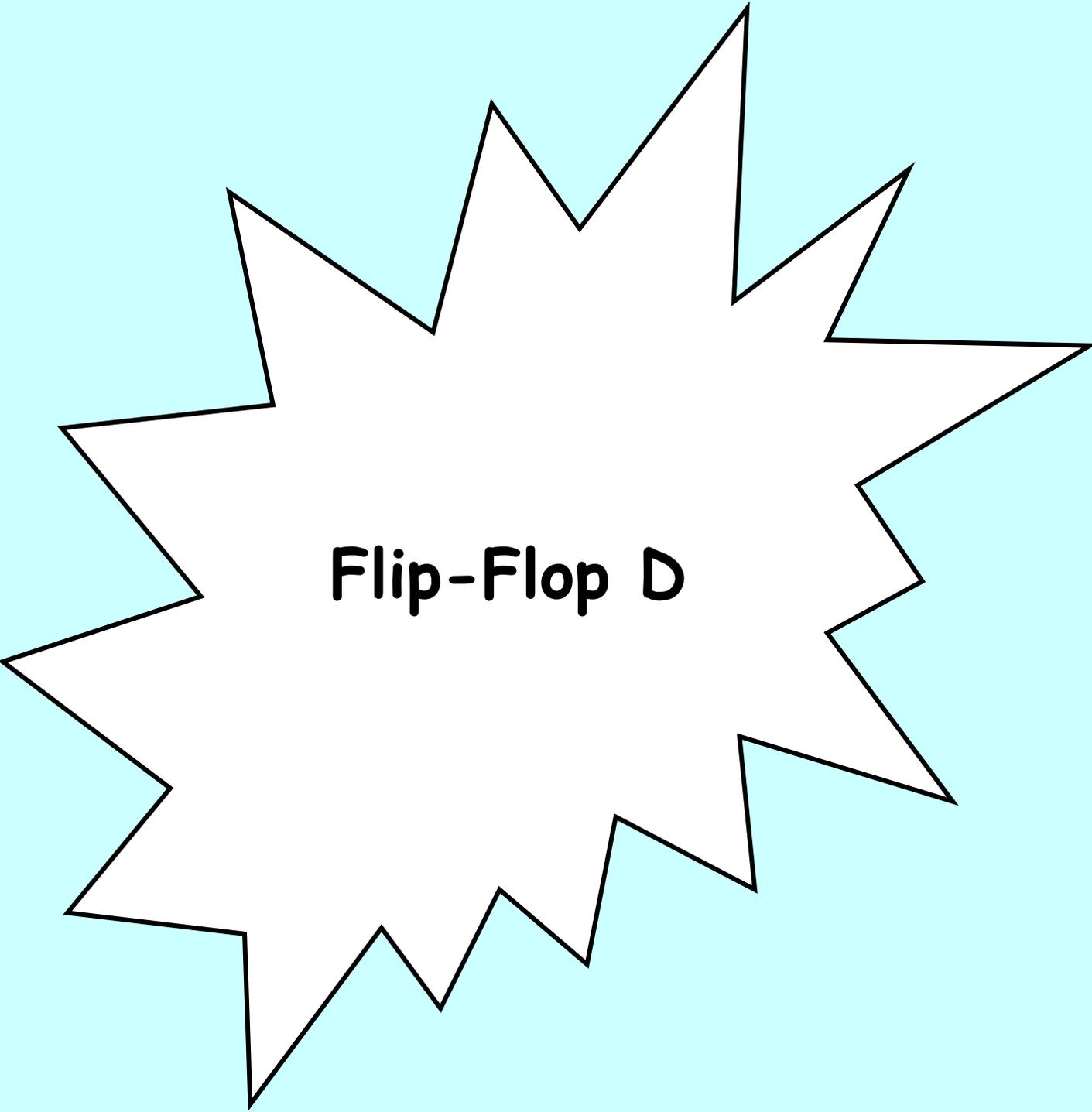


$$\begin{aligned}
 y &= CD + C'y + Dy \\
 &= CD + y(C' + D) \\
 &= (C \uparrow D) \uparrow (y \uparrow (C \uparrow D'))
 \end{aligned}$$



Schema logico





Flip-Flop D

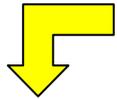
... Tabella di flusso minima

$a \equiv \{A, E, G\}$

$b \equiv \{A, B\}$

$c \equiv \{C, D\}$

$d \equiv \{D, F, H\}$

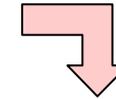
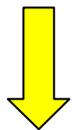


$\alpha \equiv \{A, E, G\}$

$\beta \equiv \{B\}$

$\gamma \equiv \{C\}$

$\delta \equiv \{D, F, H\}$

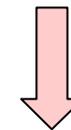


$1 \equiv \{A, B\}$

$2 \equiv \{E, G\}$

$3 \equiv \{C, D\}$

$4 \equiv \{F, H\}$



CD

	00	01	11	10
a	a/b,0	b,0	a,0	a,0
b	a/b,0	b,0	d,-	a,0
c	c,1	c/d,1	d,1	a,-
d	c,1	c/d,1	d,1	d,1

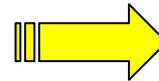
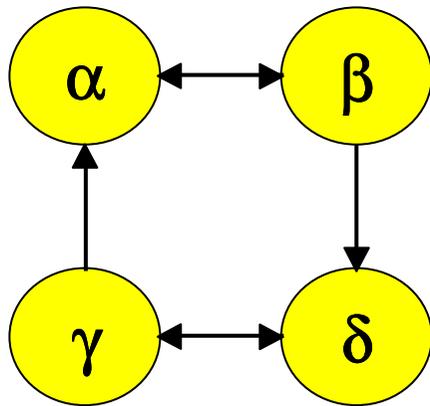
CD

	00	01	11	10
α	$\alpha,0$	$\beta,0$	$\alpha,0$	$\alpha,0$
β	$\alpha,0$	$\beta,0$	$\delta,-$	$,-$
γ	$\gamma,1$	$\delta,1$	$,-$	$\alpha,-$
δ	$\gamma,1$	$\delta,1$	$\delta,1$	$\delta,1$

CD

	00	01	11	10
1	1,0	1,0	4,-	2,0
2	1,0	1,0	2,0	2,0
3	3,1	3,1	4,1	2,-
4	3,1	3,1	4,1	4,1

Grafo delle adiacenze, mappa di codifica, tabella delle transizioni, espressioni



	y_2	
	0	1
y_1	0	α
	1	β
		γ
		δ

	CD			
	00	01	11	10
$y_1 y_2$	00	01,0	00,0	00,0
	01	00,0	11,-	--,-
	11	10,1	11,1	11,1
	10	10,1	11,1	--,-
		$y_1 y_2, Q$		

$$Q = y_1$$

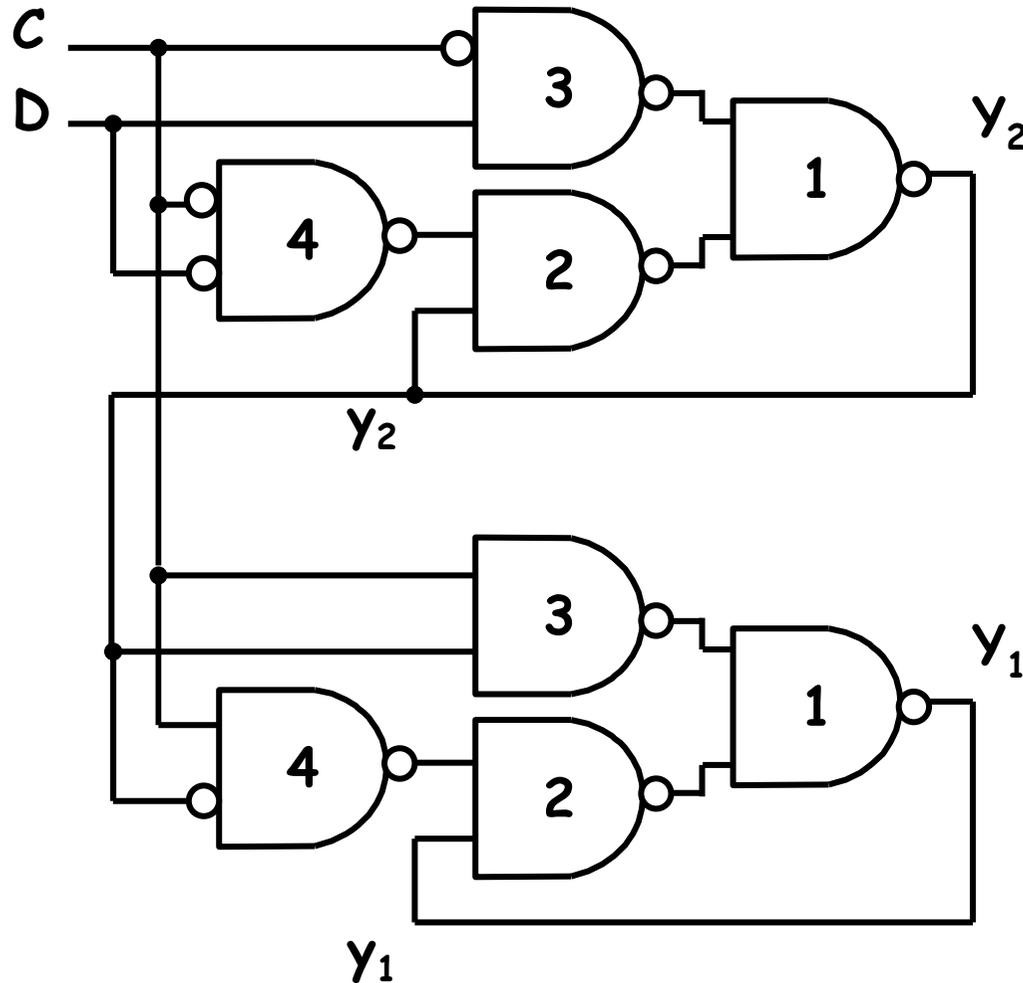
$$y_1 = C y_2 + C' y_1 + y_1 y_2 = (C \uparrow y_2) \uparrow (y_1 \uparrow (C \uparrow y_2'))$$

$$y_2 = C' D + C y_2 + D y_2 = (C' \uparrow D) \uparrow (y_2 \uparrow (C' \uparrow D'))$$

Schema logico ...

$$Y_1 = (C \uparrow y_2) \uparrow (y_1 \uparrow (C \uparrow y_2'))$$

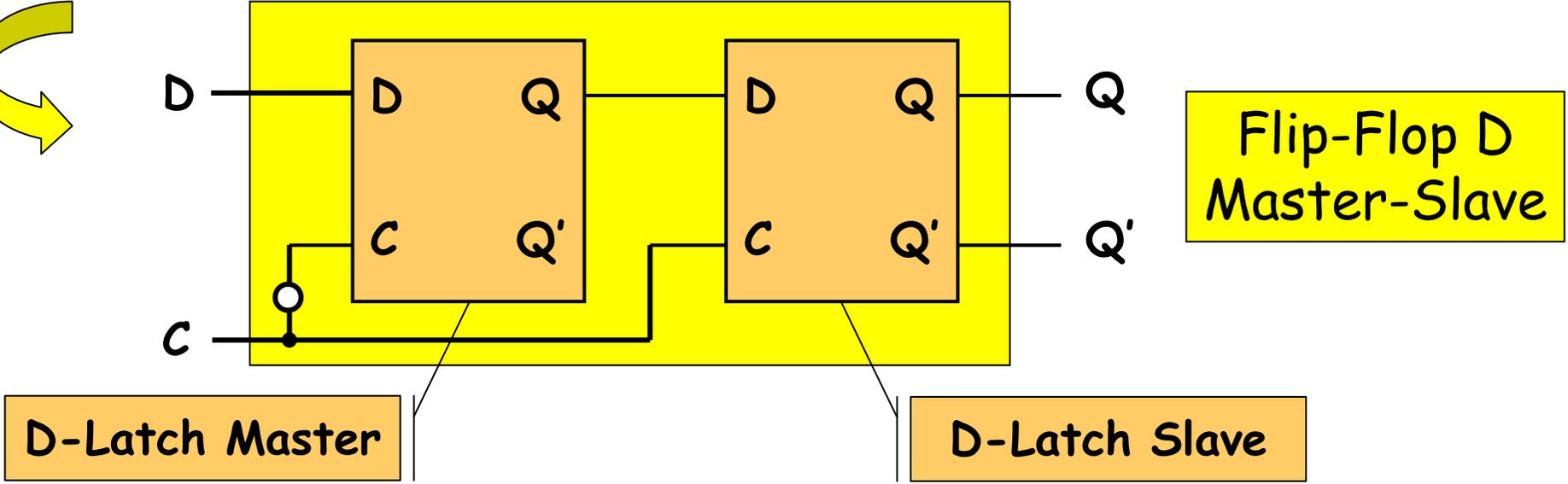
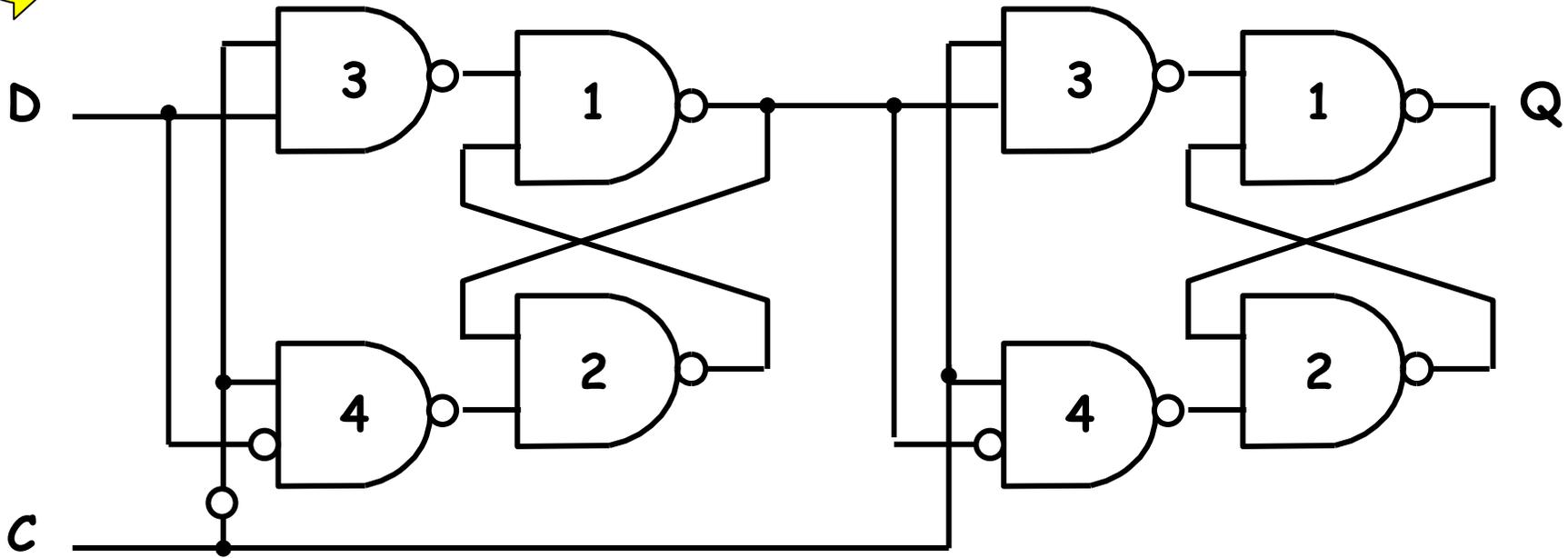
$$Y_2 = (C' \uparrow D) \uparrow (y_2 \uparrow (C' \uparrow D'))$$



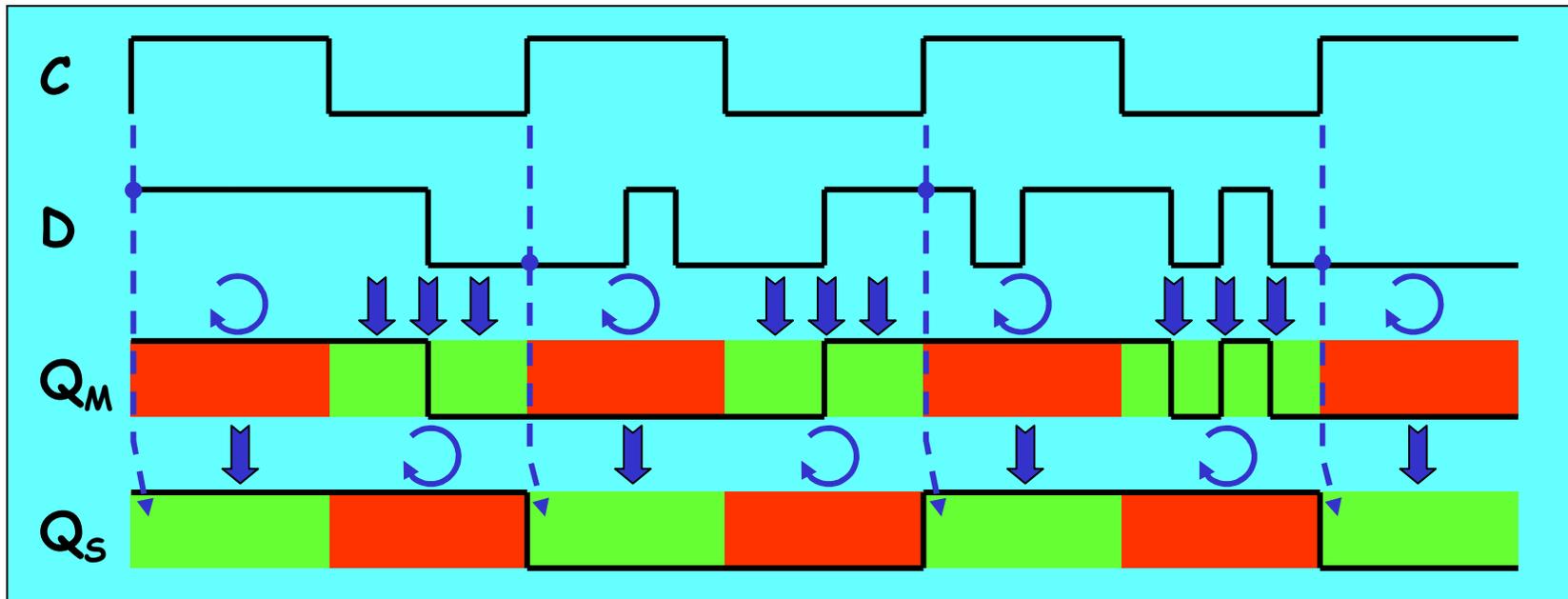
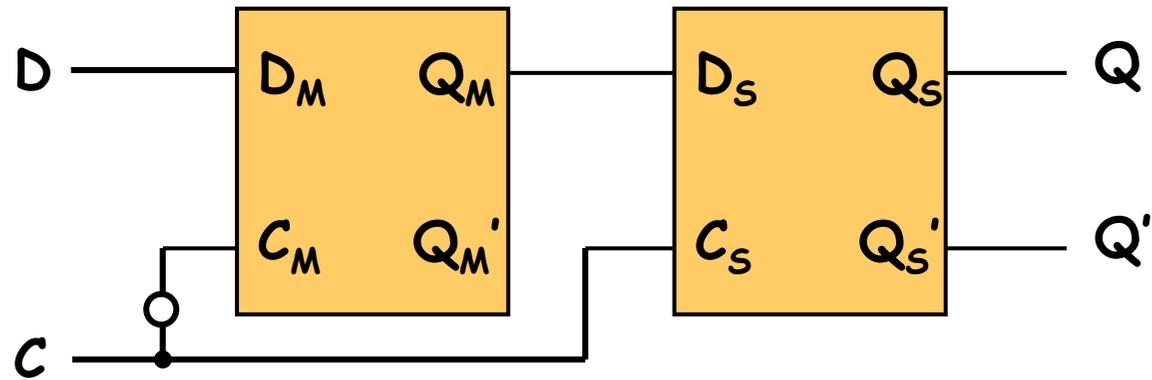
$$Q = Y_1$$



... Schema logico



Il Flip-Flop D Master-Slave ...

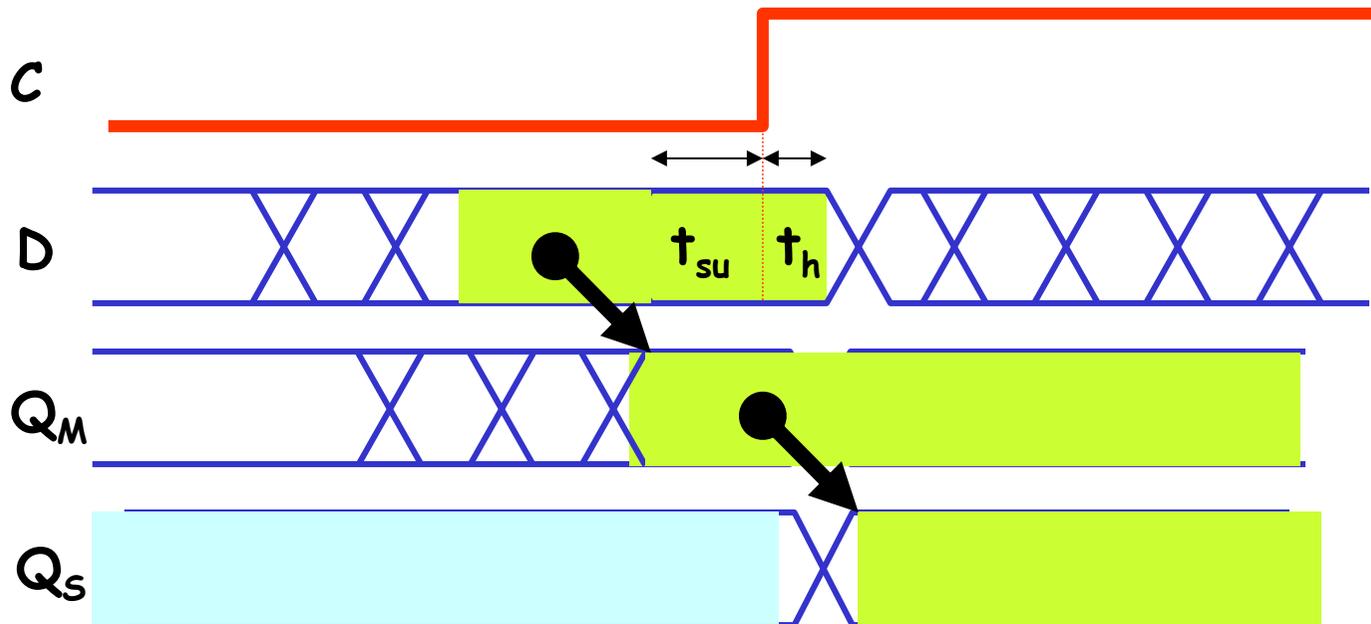
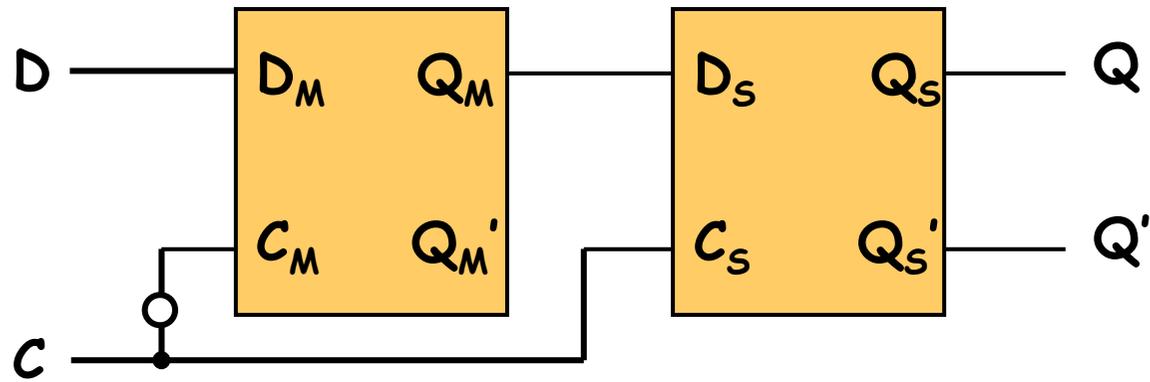


campionamento

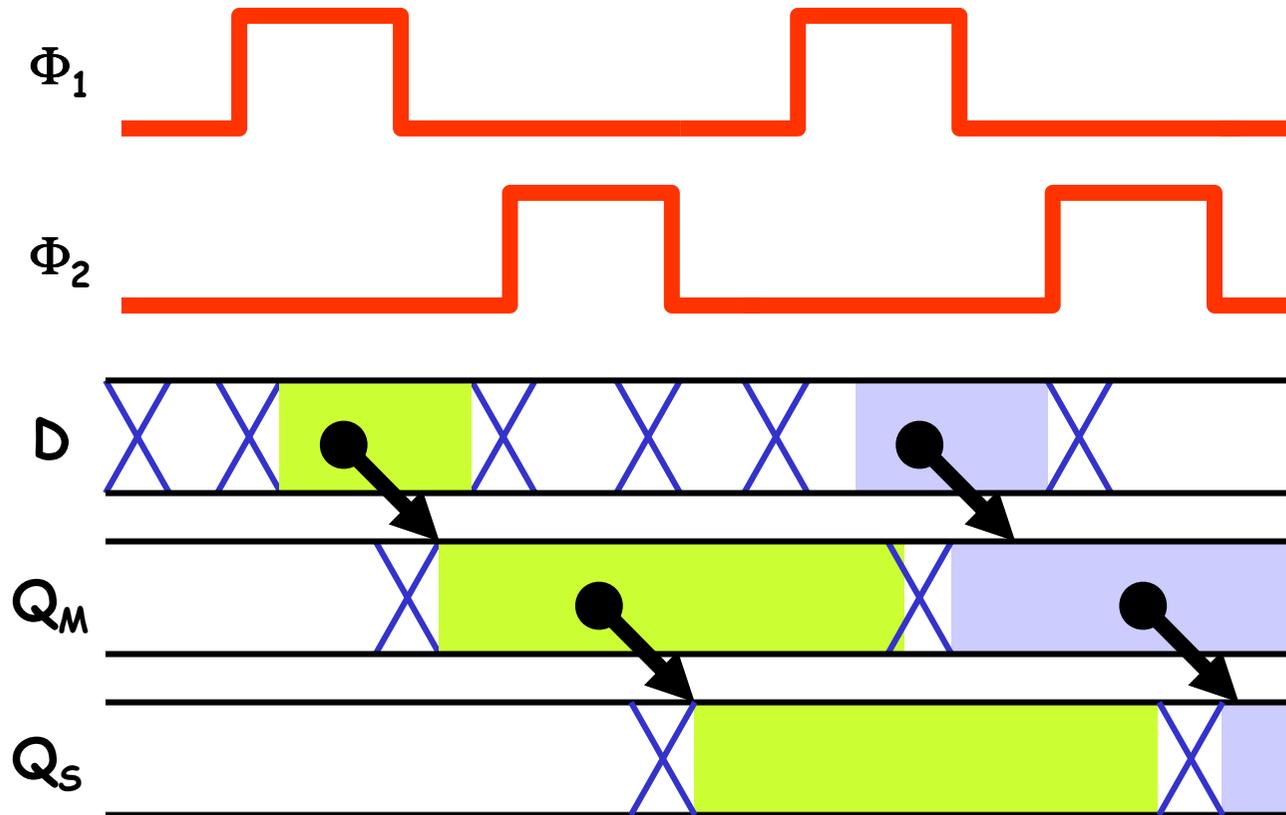
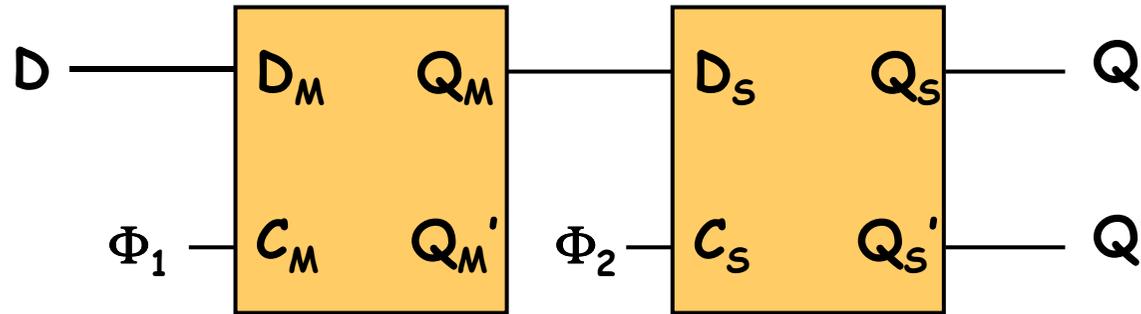


memorizzazione

... II Flip-Flop D Master-Slave

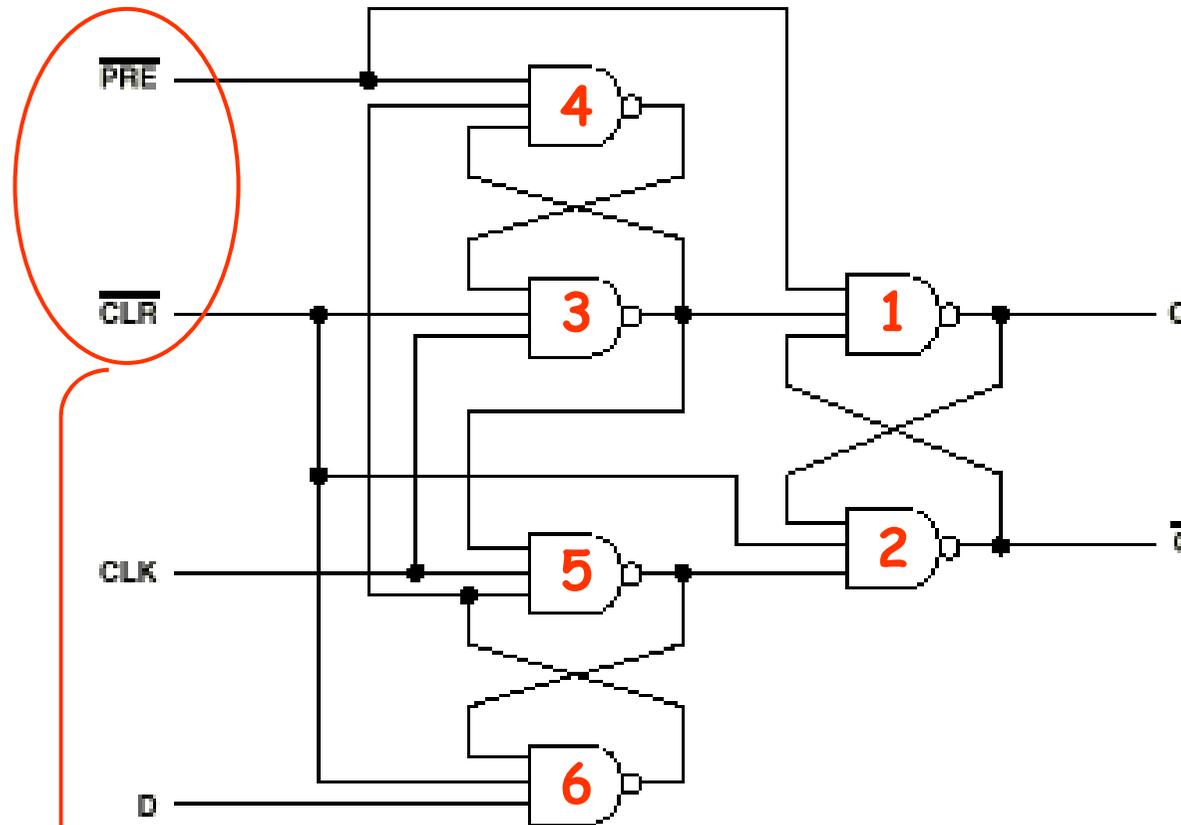


Il clock a due fasi



Il flip-flop D "Edge-Triggered"

logic diagram (positive logic)



comandi asincroni:

Clear ($CLR' = 0$) \rightarrow $Q = 0$

Preset ($PRE' = 0$) \rightarrow $Q = 1$

Lo schema logico secondo il modello di riferimento

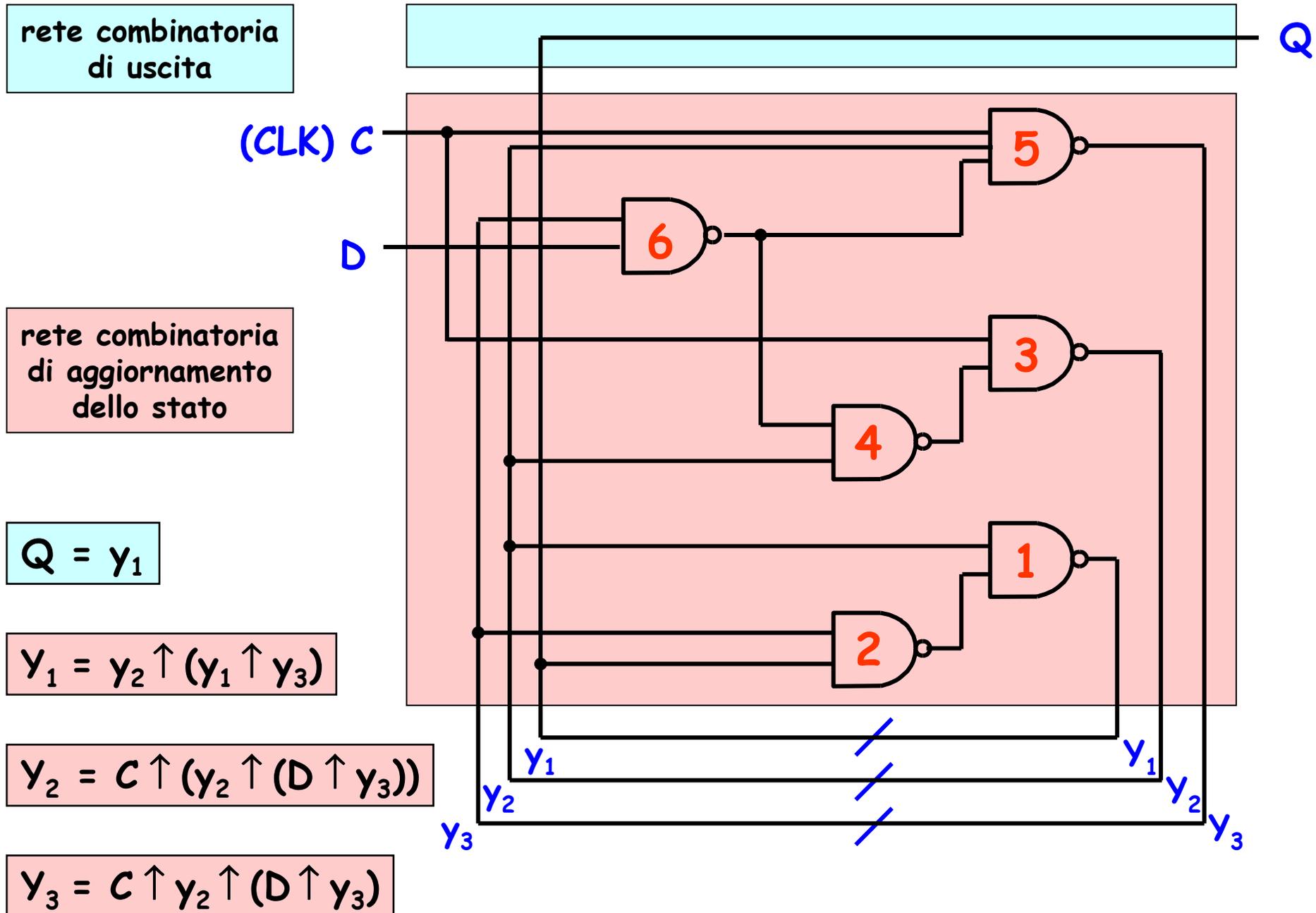


Tabella delle transizioni

$$Q = y_1$$

Espressioni ↑

$$y_1 = y_2 \uparrow (y_1 \uparrow y_3)$$

$$y_2 = C \uparrow (y_2 \uparrow (D \uparrow y_3))$$

$$y_3 = C \uparrow y_2 \uparrow (D \uparrow y_3)$$

Espressioni SP

$$y_1 = y_2' + y_1 y_3$$

$$y_2 = C' + y_2 (D' + y_3')$$

$$y_3 = C' + y_2' + D y_3$$

$y_1 y_2 y_3$

	CD			
	00	01	11	10
000	111,0	111,0	101,0	101,0
001	111,0	111,0	101,0	101,0
011	011,0	011,0	001,0	010,0
010	011,0	011,0	010,0	010,0
100	111,1	111,1	101,1	101,1
101	111,1	111,1	101,1	101,1
111	111,1	111,1	101,1	110,1
110	011,1	011,1	010,1	010,1

$y_1 y_2 y_3, Q$

stati

stabili

instabili

transizioni

dirette

multiple

Tabella di flusso, grafo degli stati

		CD			
		00	01	11	10
$Y_1Y_2Y_3$	000	111,0	111,0	101,0	101,0
	001	111,0	111,0	101,0	101,0
	011	011,0	011,0	001,0	010,0
	010	011,0	011,0	010,0	010,0
	100	111,1	111,1	101,1	101,1
	101	111,1	111,1	101,1	101,1
	111	111,1	111,1	101,1	110,1
	110	011,1	011,1	010,1	010,1

$Y_1Y_2Y_3, Q$

		CD			
		00	01	11	10
1	1,0	1,0	4,-	2,0	
2	1,0	1,0	2,0	2,0	
3	3,1	3,1	4,1	2,-	
4	3,1	3,1	4,1	4,1	

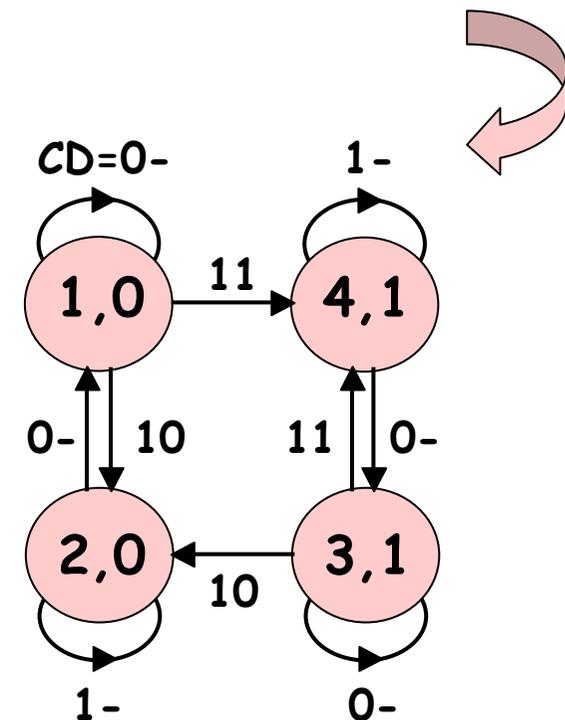
stati

stabili
instabili

transizioni

dirette
multiple

- 011 → 1
- 010 → 2
- 111 → 3
- 101 → 4



I tempi di *set-up*, di *hold* e di *risposta*

